



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toru TANZAWA

GAU:

SERIAL NO: 10/618,732

EXAMINER:

FILED: July 15, 2003

FOR: NONVOLATILE SEMICONDUCTOR MEMORY CAPABLE OF GENERATING READ-MODE
REFERENCE CURRENT AND VERIFY-MODE REFERENCE CURRENT FROM THE SAME
REFERENCE CELL

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

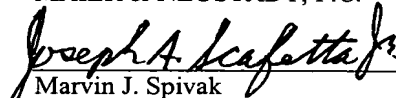
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-206177	July 15, 2002
JAPAN	2003-193728	July 8, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

10/618,732
0380673

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 8 日
Date of Application:

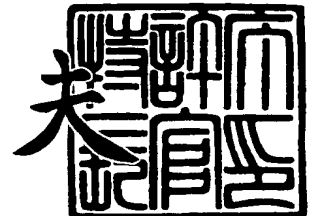
出 願 番 号 特 願 2 0 0 3 - 1 9 3 7 2 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 9 3 7 2 8]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000303325

【提出日】 平成15年 7月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/76
H01L 27/10

【発明の名称】 不揮発性半導体メモリ

【請求項の数】 21

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 丹沢 徹

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-206177

【出願日】 平成14年 7月15日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ

【特許請求の範囲】

【請求項1】 ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じたデータを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

基準電流を発生する基準電流発生回路と、

前記基準電流と前記複数の不揮発性メモリセルの中から選択された複数の不揮発性メモリセルを流れる電流とを比較し、前記選択された複数の不揮発性メモリセルによってそれぞれ保持されたデータを読み出すセンスアンプと

を具備し、

前記基準電流発生回路は、少なくとも1つのリファレンスセルと、そのリファレンスセルに流れる電流を増幅する増幅回路とを含み、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比が1よりも大きいことを特徴とする不揮発性半導体メモリ。

【請求項2】 前記少なくとも1つのリファレンスセルのゲート電圧は、前記データ読み出し時に、前記選択された不揮発性メモリセルにつながるワード線に印加される電圧に等しいことを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項3】 前記書き込みベリファイ時の書き込みベリファイ電圧は、前記データ読み出し時に、前記選択された不揮発性メモリセルにつながるワード線に印加される電圧に等しいことを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項4】 ゲート、ドレインおよびソースを有し、しきい値電圧レベル

に応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

少なくとも第1および第2の基準電流を発生する基準電流発生回路と、

前記第1の基準電流と前記複数の不揮発性メモリセルの中から選択された一つの不揮発性メモリセルを流れる電流とを比較し、前記選択された一つの不揮発性メモリセルに保持された多値レベルに応じた信号を読み出す第1のセンスアンプと、

前記第2の基準電流と前記複数の不揮発性メモリセルの中から選択された一つの不揮発性メモリセルを流れる電流とを比較し、前記選択された一つの不揮発性メモリセルに保持された多値レベルに応じた信号を読み出す第2のセンスアンプと

を具備し、

前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする不揮発性半導体メモリ。

【請求項5】 前記第1および第2のリファレンスセルの各ゲート電圧は、前記データ読み出し時に、前記選択された一つの不揮発性メモリセルにつながる

ワード線に印加される電圧に等しいことを特徴とする請求項 4 に記載の不揮発性半導体メモリ。

【請求項 6】 前記書き込みベリファイ時に、前記選択された一つの不揮発性メモリセルにつながるワード線に印加される電圧は、前記データ読み出し時に、前記選択された一つの不揮発性メモリセルにつながるワード線に印加される電圧に等しいことを特徴とする請求項 4 に記載の不揮発性半導体メモリ。

【請求項 7】 前記基準電流発生回路は、さらに、第 3 の基準電流を発生するための、前記第 2 のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第 3 のリファレンスセル、および、前記第 3 のリファレンスセルに流れる電流を増幅する第 3 の増幅回路を含むことを特徴とする請求項 4 に記載の不揮発性半導体メモリ。

【請求項 8】 前記第 1 の増幅回路は前記第 1 のリファレンスセルを含み、第 1 の電流非変換 p 型 MOS トランジスタの第 1 のトランスコンダクタンスと第 1 の読み出し時電流変換 p 型 MOS トランジスタの第 2 のトランスコンダクタンスとの比が $1 : a_0$ で、

前記第 1 の電流非変換 p 型 MOS トランジスタの前記第 1 のトランスコンダクタンスと第 1 のベリファイ時電流変換 p 型 MOS トランジスタの第 3 のトランスコンダクタンスとの比が $1 : b_0$ で、

前記第 1 のリファレンスセルのしきい値電圧を V_{t0} 、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell0}$ とすると、

データ読み出し時の前記第 1 の基準電流 (I_{ref0}) は $a_0 \times I_{refcell0}$ によって、

書き込みベリファイ時の前記第 1 の基準電流 (I_{ref0}) は $b_0 \times I_{refcell0}$ によって、

前記第 2 の増幅回路は前記第 2 のリファレンスセルを含み、

第 2 の電流非変換 p 型 MOS トランジスタの第 4 のトランスコンダクタンスと第 2 の読み出し時電流変換 p 型 MOS トランジスタの第 5 のトランスコンダクタンスとの比が $1 : a_1$ で、

前記第 2 の電流非変換 p 型 MOS トランジスタの前記第 4 のトランスコンダク

タンスと第2のベリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が $1:b_1$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} ($V_{t1} > V_{t0}$)、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第2の基準電流 (I_{ref1}) は $a_1 \times I_{refcell1}$ によって、

書き込みベリファイ時の前記第2の基準電流 (I_{ref1}) は $b_1 \times I_{refcell1}$ によって、

前記第3の増幅回路は前記第3のリファレンスセルを含み、

第3の電流非変換p型MOSトランジスタの第7のトランスコンダクタンスと第3の読み出し時電流変換p型MOSトランジスタの第8のトランスコンダクタンスとの比が $1:a_2$ で、

前記第3の電流非変換p型MOSトランジスタの前記第7のトランスコンダクタンスと第3のベリファイ時電流変換p型MOSトランジスタの第9のトランスコンダクタンスとの比が $1:b_2$ で、

前記第3のリファレンスセルのしきい値電圧を V_{t2} ($V_{t2} > V_{t1} > V_{t0}$)、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell2}$ とすると、

データ読み出し時の前記第3の基準電流 (I_{ref2}) は $a_2 \times I_{refcell2}$ によって、

書き込みベリファイ時の前記第3の基準電流 (I_{ref2}) は $b_2 \times I_{refcell2}$ によって、

それぞれ与えられることを特徴とする請求項7に記載の不揮発性半導体メモリ。

【請求項9】 前記第3の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持された多値レベルに応じた信号を読み出す第3のセンサンプを、さらに備えることを特徴とする請求項7に記載の不揮発性半導体メモリ。

【請求項10】 前記基準電流発生回路は、さらに、第3の基準電流を発生

するための、前記第2のリファレンスセルに流れる電流を増幅する第3の増幅回路を含むことを特徴とする請求項4に記載の不揮発性半導体メモリ。

【請求項11】 前記第1の増幅回路は前記第1のリファレンスセルを含み

第1の電流非変換p型MOSトランジスタの第1のトランスコンダクタンスと第1の読み出し時電流変換p型MOSトランジスタの第2のトランスコンダクタンスとの比が $1 : a_0$ で、

前記第1の電流非変換p型MOSトランジスタの前記第1のトランスコンダクタンスと第1のベリファイ時電流変換p型MOSトランジスタの第3のトランスコンダクタンスとの比が $1 : b_0$ で、

前記第1のリファレンスセルのしきい値電圧を V_{t0} 、ゲート電圧(V_r)印加時のセル電流を $I_{refcell0}$ とすると、

データ読み出し時の前記第1の基準電流(I_{ref0})は $a_0 \times I_{refcell0}$ によって、

書き込みベリファイ時の前記第1の基準電流(I_{ref0})は $b_0 \times I_{refcell0}$ によって、

前記第2の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第2の読み出し時電流変換p型MOSトランジスタの第5のトランスコンダクタンスとの比が $1 : a_1$ で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第2のベリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が $1 : b_1$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} ($V_{t1} > V_{t0}$)、ゲート電圧(V_r)印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第2の基準電流(I_{ref1})は $a_1 \times I_{refcell1}$ によって、

書き込みベリファイ時の前記第2の基準電流(I_{ref1})は $b_1 \times I_{refcell1}$ によって、

前記第3の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第3の読み出し時電流変換p型MOSトランジスタの第7のトランスコンダクタンスとの比が $1 : a^2$ で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第3のベリファイ時電流変換p型MOSトランジスタの第8のトランスコンダクタンスとの比が $1 : b^2$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} 、ゲート電圧(V_r)印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第3の基準電流(I_{ref2})は $a^2 \times I_{refcell1}$ によって、

書き込みベリファイ時の前記第3の基準電流(I_{ref2})は $b^2 \times I_{refcell1}$ によって、

それぞれ与えられることを特徴とする請求項10に記載の不揮発性半導体メモリ。

【請求項12】 前記第3の基準電流と前記複数の不揮発性メモリセルの中から選択された一つの不揮発性メモリセルを流れる電流とを比較し、前記選択された一つの不揮発性メモリセルに保持された多値レベルに応じた信号を読み出す第3のセンスアンプを、さらに備えることを特徴とする請求項10に記載の不揮発性半導体メモリ。

【請求項13】 ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

選択的に、少なくとも第1または第2の基準電流を出力する基準電流発生回路

と、

前記基準電流発生回路の出力電流と前記複数の不揮発性メモリセルの中から選択された不揮発性メモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプと

を具備し、

前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする不揮発性半導体メモリ。

【請求項14】 前記基準電流発生回路は、さらに、第3の基準電流を発生するための、前記第2のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第3のリファレンスセル、および、前記第3のリファレンスセルに流れる電流を増幅する第3の増幅回路を含むことを特徴とする請求項13に記載の不揮発性半導体メモリ。

【請求項15】 前記第1の増幅回路は前記第1のリファレンスセルを含み

、
第1の電流非変換p型MOSトランジスタの第1のトランスコンダクタンスと第1の読み出し時電流変換p型MOSトランジスタの第2のトランスコンダクタンスとの比が1 : a_0 で、

前記第1の電流非変換p型MOSトランジスタの前記第1のトランスコンダクタンスと第1のベリファイ時電流変換p型MOSトランジスタの第3のトランスコンダクタンスとの比が1 : b_0 で、

前記第1のリファレンスセルのしきい値電圧を V_{t0} 、ゲート電圧(V_r)印

加時のセル電流を $I_{refcell0}$ とすると、

データ読み出し時の前記第1の基準電流(I_{ref0})は $a0 \times I_{refcell0}$ によって、

書き込みベリファイ時の前記第1の基準電流(I_{ref0})は $b0 \times I_{refcell0}$ によって、

前記第2の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第2の読み出し時電流変換p型MOSトランジスタの第5のトランスコンダクタンスとの比が $1 : a1$ で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第2のベリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が $1 : b1$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} ($V_{t1} > V_{t0}$)、ゲート電圧(V_r)印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第2の基準電流(I_{ref1})は $a1 \times I_{refcell1}$ によって、

書き込みベリファイ時の前記第2の基準電流(I_{ref1})は $b1 \times I_{refcell1}$ によって、

前記第3の増幅回路は前記第3のリファレンスセルを含み、

第3の電流非変換p型MOSトランジスタの第7のトランスコンダクタンスと第3の読み出し時電流変換p型MOSトランジスタの第8のトランスコンダクタンスとの比が $1 : a2$ で、

前記第3の電流非変換p型MOSトランジスタの前記第7のトランスコンダクタンスと第3のベリファイ時電流変換p型MOSトランジスタの第9のトランスコンダクタンスとの比が $1 : b2$ で、

前記第3のリファレンスセルのしきい値電圧を V_{t2} ($V_{t2} > V_{t1} > V_{t0}$)、ゲート電圧(V_r)印加時のセル電流を $I_{refcell2}$ とすると、

データ読み出し時の前記第3の基準電流(I_{ref2})は $a2 \times I_{refcell2}$ によって、

書き込みベリファイ時の前記第3の基準電流 (I_{ref2}) は $b_2 \times I_{refcell2}$ によって、

それぞれ与えられることを特徴とする請求項14に記載の不揮発性半導体メモリ。

【請求項16】 前記第3の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持された多値レベルに応じた信号を読み出す第3のセンスアンプを、さらに備えることを特徴とする請求項14に記載の不揮発性半導体メモリ。

【請求項17】 前記基準電流発生回路は、さらに、第3の基準電流を発生するための、前記第2のリファレンスセルに流れる電流を増幅する第3の増幅回路を含むことを特徴とする請求項13に記載の不揮発性半導体メモリ。

【請求項18】 前記第1の増幅回路は前記第1のリファレンスセルを含み、

第1の電流非変換p型MOSトランジスタの第1のトランスコンダクタンスと第1の読み出し時電流変換p型MOSトランジスタの第2のトランスコンダクタンスとの比が $1 : a_0$ で、

前記第1の電流非変換p型MOSトランジスタの前記第1のトランスコンダクタンスと第1のベリファイ時電流変換p型MOSトランジスタの第3のトランスコンダクタンスとの比が $1 : b_0$ で、

前記第1のリファレンスセルのしきい値電圧を V_{t0} 、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell0}$ とすると、

データ読み出し時の前記第1の基準電流 (I_{ref0}) は $a_0 \times I_{refcell0}$ によって、

書き込みベリファイ時の前記第1の基準電流 (I_{ref0}) は $b_0 \times I_{refcell0}$ によって、

前記第2の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第2の読み出し時電流変換p型MOSトランジスタの第5のトランスコンダクタ

ンスとの比が $1 : a_1$ で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第2のペリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が $1 : b_1$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} ($V_{t1} > V_{t0}$)、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第2の基準電流 (I_{ref1}) は $a_1 \times I_{refcell1}$ によって、

書き込みペリファイ時の前記第2の基準電流 (I_{ref1}) は $b_1 \times I_{refcell1}$ によって、

前記第3の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第3の読み出し時電流変換p型MOSトランジスタの第7のトランスコンダクタンスとの比が $1 : a_2$ で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第3のペリファイ時電流変換p型MOSトランジスタの第8のトランスコンダクタンスとの比が $1 : b_2$ で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} 、ゲート電圧 (V_r) 印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第3の基準電流 (I_{ref2}) は $a_2 \times I_{refcell1}$ によって、

書き込みペリファイ時の前記第3の基準電流 (I_{ref2}) は $b_2 \times I_{refcell1}$ によって、

それぞれ与えられることを特徴とする請求項17に記載の不揮発性半導体メモリ。

【請求項19】 ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

選択的に、少なくとも第1または第2の基準電流を出力する、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さい基準電流発生回路と、

前記基準電流発生回路の出力電流と前記複数の不揮発性メモリセルの中から選択された不揮発性メモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプと

を具備し、

前記基準電流発生回路は、さらに、第3の基準電流を発生するための、前記第2のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第3のリファレンスセル、および、前記第3のリファレンスセルに流れる電流を増幅する第3の増幅回路を含み、前記出力電流が前記第1の基準電流のときの前記センスアンプの出力の論理に応じて、前記第2または第3の基準電流を選択的に出力することを特徴とする不揮発性半導体メモリ。

【請求項 20】 2^N (Nは2以上) のレベルを有する複数のメモリセルと

前記複数のメモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数のメモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数のメモリセルの各ソースにそれぞれ接続された複数のソース線と、

($N-1$) 個の基準電流から選択的に一つの基準電流を出力する基準電流発生回路と、

前記基準電流発生回路の出力電流と前記複数のメモリセルの中から選択されたメモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプと

を具備し、

前記基準電流発生回路は、($N-1$) 個のリファレンスセルおよび前記($N-1$) 個のリファレンスセルに流れる電流を増幅する($N-1$) 個の増幅回路を含み、前記($N-1$) 個のリファレンスセルのうち、第 I のリファレンスセルのしきい値電圧が第($I-1$) のリファレンスセルのしきい値電圧よりも高く($1 \leq I \leq N$)、かつ、前記($N-1$) 個の増幅回路のうち、第 I の増幅回路における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の第 I 増幅率が 1 よりも大きく、第($I-1$) の増幅回路における第($I-1$) 増幅率が前記第 I 増幅率よりも小さいことを特徴とする不揮発性半導体メモリ。

【請求項 21】 2^N (N は 2 以上) のレベルを有する複数のメモリセルと

前記複数のメモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数のメモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数のメモリセルの各ソースにそれぞれ接続された複数のソース線と、

($N-1$) 個の基準電流を出力する基準電流発生回路と、

前記基準電流発生回路の出力電流と前記複数のメモリセルの中から選択されたメモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプと

を具備し、

前記基準電流発生回路は、($N-1$) 個のリファレンスセルおよび前記($N-1$) 個のリファレンスセルに流れる電流を増幅する($N-1$) 個の増幅回路を含み、前記($N-1$) 個のリファレンスセルのうち、第 I のリファレンスセルのしきい値電圧が第($I-1$) のリファレンスセルのしきい値電圧よりも高く($1 \leq I \leq N$)、かつ、前記($N-1$) 個の増幅回路のうち、第 I の増幅回路における

、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の第 I 増幅率が 1 よりも大きく、第 (I - 1) の増幅回路における第 (I - 1) 増幅率が前記第 I 増幅率よりも小さいことを特徴とする不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体メモリに関するもので、特に、1つのセルに三つ以上の多値レベルを記憶する多値フラッシュメモリに関する。

【0002】

【従来の技術】

不揮発性半導体メモリとして、レベルの異なる 2 つのデータ（以後、二値データという）を記憶する二値フラッシュメモリが広く普及している。

【0003】

図 16 は、二値フラッシュメモリ（たとえば、NOR 型）の構成の要部を示すものである。図 16 において、セルアレイ 101 には、複数のメモリセル（本体セル）MC が行列状に配置されている。同一行に配置された複数のメモリセル MC の各コントロールゲートは、複数のワード線 WL0 ~ WLn のうちの対応する 1 つのワード線に共通に接続されている。また、同一列に配置された複数のメモリセル MC の各ドレイン領域は、複数のビット線 BL0 ~ BLk のうちの対応する 1 つのビット線に共通に接続されている。一般に、セルアレイ 101 は複数のブロックに分割されている。同一ブロック内の複数のメモリセル MC の各ソース領域は、複数のソース線（図示していない）のうちの対応する 1 つのソース線に共通に接続されている。各ビット線 BL0 ~ BLk は、複数の選択トランジスタ ST0 ~ STk のうちの対応する 1 つの選択トランジスタを介して、センスアンプ 102 に接続されている。選択トランジスタ ST0 ~ STk は、それぞれのゲートに、複数のカラム線 COL0 ~ COLm のうちの対応する 1 つのカラム線が接続されている。

【0004】

リファレンス回路 103 は、たとえば、1つのリファレンスセル RC と複数の

ダミーセルDCとを含んでいる。1つのリファレンスセルRCおよび複数のダミーセルDCは、ドレイン領域をそれぞれ共通にして接続されている。リファレンスセルRCのコントロールゲートは、リファレンスワード線RWLに接続されている。また、リファレンスセルRCのドレイン領域は、n型MOSトランジスタ103aを介して、上記センスアンプ102に接続されている。n型MOSトランジスタ103aは、そのゲートに、リファレンスカラム線RCOLが接続されている。

【0005】

センスアンプ102は、n型MOSトランジスタ102a、102b、p型MOSトランジスタ102c、102d、および、差動増幅器102eを含んでいる。n型MOSトランジスタ102aのソース領域は、上記セルアレイ101内の各選択トランジスタST0～STkのドレイン領域に共通に接続されている。n型MOSトランジスタ102aのドレイン領域は、p型MOSトランジスタ102cのゲートとドレイン領域、および、差動増幅器102eの反転入力端にそれぞれ接続されている。一方、n型MOSトランジスタ102bのソース領域は、上記リファレンス回路103内のn型MOSトランジスタ103aのドレイン領域に接続されている。n型MOSトランジスタ102bのドレイン領域は、p型MOSトランジスタ102dのゲートとドレイン領域、および、差動増幅器102eの非反転入力端にそれぞれ接続されている。そして、差動増幅器102eの出力端からは、センスされたセルデータが出力される(Dout)。

【0006】

なお、n型MOSトランジスタ102a、102bは、各ゲートに、バイアス(BIAS)電源が供給されるようになっている。p型MOSトランジスタ102c、102dは、各ソース領域に、電源Vccが供給されるようになっている。

【0007】

図17は、上記した構成の二値フラッシュメモリの特性を示すものである。ここでは、メモリセルMCおよびリファレンスセルRCについて、コントロールゲートに供給されるゲート電圧 V_g と負荷電流当りのセル電流(ドレイン電流 I_d)

I_{cell} との関係 ($V_g - I_{cell} (I_d)$ 特性) を示している。データ読み出し時および書き込みベリファイ時、リファレンスセルRCのコントロールゲートには読み出し電圧 V_r が印加される。これにより、センスアンプ102において、常に、基準電流 I_{ref} に対するセル電流 I_{cell} の判定 (“0” または “1”) が行われる。

【0008】

ここで、メモリセルMCの $V_g - I_d$ 特性としては、フローティングゲートに蓄積される電子の量が比較的に多い状態 (すなわち、メモリセルMCのしきい値電圧 V_{th} が高い状態) を、“0” データとして扱うようになっている。この “0” データを記憶しているメモリセルMCを “0” セルと称する。逆に、電子の量が比較的に少ない状態 (すなわち、メモリセルMCのしきい値電圧 V_{th} が低い状態) を、“1” データとして扱うようになっている。この “1” データを記憶しているメモリセルMCを “1” セルと称する。

【0009】

リファレンスセルRCのセル電流 (基準電流 I_{ref}) は、メモリセルMCのセル電流 I_{cell} の半分程度となるように設定される。つまり、ゲート電圧 V_g が読み出し電圧 V_r のときの、メモリセルMCのセル電流 I_{cell} とリファレンスセルRCのセル電流 I_{ref} との差が、“0” セルと “1” セルとではほぼ等しくなる。

【0010】

図18は、各動作モードにおけるメモリセルMCのゲート電圧 ($V_{g-hontai}$) を、リファレンスセルRCのゲート電圧 (V_{g-ref}) と対比して示すものである。たとえば、データの書き込み状態 “0” を規定するための書き込みベリファイ (PV) 時には、メモリセルMCのコントロールゲートに電圧 V_{pv} ($=6.5V$) が印加される。この書き込みベリファイ電圧 V_{pv} とリファレンスセルRCのコントロールゲートに印加される読み出し電圧 V_r ($=5.5V$) との差が、メモリセルMCのしきい値電圧 V_{th} に反映される。これにより、“0” セルは、通常、ゲート電圧 V_g = 読み出し電圧 V_r のときにカットオフする。同様に、たとえばデータの消去状態 “1” を規定するための消去ベリファイ

(EV) 時には、メモリセルMCのコントロールゲートに電圧 V_{ev} ($=4V$) が印加される。この消去ベリファイ電圧 V_{ev} をリファレンス電圧 V_{tref} と同程度にすれば、“1”セルのゲート電圧 V_g =読み出し電圧 V_r のときの電流、すなわち、セル電流 I_{cell} はほぼ $2I_{ref}$ となる。

【0011】

つまり、ゲート電圧 V_g が読み出し電圧 V_r のときの、メモリセルMCのセル電流 I_{cell} とリファレンスセルRCのセル電流 I_{ref} との電流差 ($+I_{ref}/-I_{ref}$) を、センスアンプ102によって検出する。そして、その電流差を、“0”または“1”のデジタル信号に変換する。これにより、セルデータの読み出しが行われる。

【0012】

図19は、二値データ“0”，“1”を記憶可能なメモリセル（二値セル）MCの、ゲート電圧 V_g に対するしきい値電圧 V_{th} の分布（セル分布）を示すものである。たとえば、データの消去状態“1”に対応するセル分布の下限を補償するための過消去ベリファイ（OEV）時には、メモリセルMCのコントロールゲートに消去ベリファイ電圧 V_{ev} よりも低い電圧 V_{oev} ($=2V$) を印加する。この過消去ベリファイ電圧 V_{oev} を印加した際に“1”となるセルを検出する。そして、セルに対応するビットのしきい値電圧 V_{th} が、過消去ベリファイ電圧 V_{oev} を印加したときに“0”となるように書き込みを行う。これにより、消去状態“1”に対応するセル分布は所定の範囲内に収まる。

【0013】

ところで、ビット当りのセル面積は、フラッシュメモリのコスト指標となる。また、セル面積を縮小する他に、1つのセルに複数ビット分のデータを記憶させて低コスト化を図る多値フラッシュメモリがある。4つのレベル、つまりレベルの異なる4つのデータ（四値データ）を記憶する四値フラッシュメモリが、すでに報告されている（たとえば、非特許文献1参照）。

【0014】

この四値フラッシュメモリのセル分布は、ゲート電圧に対して離散的となっている。すなわち、ベリファイ時には、二値フラッシュメモリの場合と同様に、メ

メモリセルのゲート電圧を変えて読み出しに対するマージンを確保している。一方、セルデータの読み出しは所定のゲート電圧で行われる。

【0015】

【非特許文献1】

M. Bauer et al., "A multilevel-cell 32Mb Flash memory," ISSCC digest of technical papers, pp. 132-133, 1995.

【0016】

【発明が解決しようとする課題】

ここで、メモリセルにトランスコンダクタンス、すなわち、ゲート電圧に対するセル電流の変化率にばらつきがあるとする。すると、読み出し電流の基準電流に対するマージン（読み出しマージン）が減少してしまう。この読み出しマージンの減少は、読み出しアクセス時間に影響をおよぼしたり、読み出し不良を引き起こしたりする要因となる。

【0017】

上記したように、従来の多値フラッシュメモリでは、ベリファイマージンをゲート電圧によって確保していた。このため、ゲート電圧に対するセル電流の変化率のばらつきが、読み出しマージンを減少させるという問題があった。

【0018】

そこで、この発明は、ベリファイマージンを安定に保証でき、読み出しマージンの減少を防止することが可能な不揮発性半導体メモリを提供することを目的としている。

【0019】

【課題を解決するための手段】

本願発明の一態様によれば、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じたデータを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線

と、基準電流を発生する基準電流発生回路と、前記基準電流と前記複数の不揮発性メモリセルの中から選択された複数の不揮発性メモリセルを流れる電流とを比較し、前記選択された複数の不揮発性メモリセルによってそれぞれ保持されたデータを読み出すセンスアンプとを具備し、前記基準電流発生回路は、少なくとも1つのリファレンスセルと、そのリファレンスセルに流れる電流を増幅する増幅回路とを含み、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比が1よりも大きいことを特徴とする不揮発性半導体メモリが提供される。

【0020】

また、本願発明の一態様によれば、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、少なくとも第1および第2の基準電流を発生する基準電流発生回路と、前記第1の基準電流と前記複数の不揮発性メモリセルの中から選択された一つの不揮発性メモリセルを流れる電流とを比較し、前記選択された一つの不揮発性メモリセルに保持された多値レベルに応じた信号を読み出す第1のセンスアンプと、前記第2の基準電流と前記複数の不揮発性メモリセルの中から選択された一つの不揮発性メモリセルを流れる電流とを比較し、前記選択された一つの不揮発性メモリセルに保持された多値レベルに応じた信号を読み出す第2のセンスアンプとを具備し、前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比であ

る第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする不揮発性半導体メモリが提供される。

【0021】

また、本願発明の一態様によれば、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、選択的に、少なくとも第1または第2の基準電流を出力する基準電流発生回路と、前記基準電流発生回路の出力電流と前記複数の不揮発性メモリセルの中から選択された不揮発性メモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプとを具備し、前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする不揮発性半導体メモリが提供される。

【0022】

また、本願発明の一態様によれば、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた三つ以上の多値レベルを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、選択的に、少なくとも第1または第2の基準電流を出

力する、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路とを含み、前記第1の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さい基準電流発生回路と、前記基準電流発生回路の出力電流と前記複数の不揮発性メモリセルの中から選択された不揮発性メモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプとを具備し、前記基準電流発生回路は、さらに、第3の基準電流を発生するための、前記第2のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第3のリファレンスセル、および、前記第3のリファレンスセルに流れる電流を増幅する第3の増幅回路を含み、前記出力電流が前記第1の基準電流のときの前記センスアンプの出力の論理に応じて、前記第2または第3の基準電流を選択的に出力することを特徴とする不揮発性半導体メモリが提供される。

【0023】

また、本願発明の一態様によれば、 2^N (N は2以上)のレベルを有する複数のメモリセルと、前記複数のメモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数のメモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数のメモリセルの各ソースにそれぞれ接続された複数のソース線と、 $(N-1)$ 個の基準電流から選択的に一つの基準電流を出力する基準電流発生回路と、前記基準電流発生回路の出力電流と前記複数のメモリセルの中から選択されたメモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプとを具備し、前記基準電流発生回路は、 $(N-1)$ 個のリファレンスセルおよび前記 $(N-1)$ 個のリファレンスセルに流れる電流を増幅する $(N-1)$ 個の増幅回路を含み、前記 $(N-1)$ 個のリファレンスセルのうち

、第 I のリファレンスセルのしきい値電圧が第 $(I-1)$ のリファレンスセルのしきい値電圧よりも高く ($1 \leq I \leq N$)、かつ、前記 $(N-1)$ 個の増幅回路のうち、第 I の増幅回路における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の第 I 増幅率が 1 よりも大きく、第 $(I-1)$ の増幅回路における第 $(I-1)$ 増幅率が前記第 I 増幅率よりも小さいことを特徴とする不揮発性半導体メモリが提供される。

【0024】

さらに、本願発明の一態様によれば、 2^N (N は 2 以上) のレベルを有する複数のメモリセルと、前記複数のメモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数のメモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数のメモリセルの各ソースにそれぞれ接続された複数のソース線と、 $(N-1)$ 個の基準電流を出力する基準電流発生回路と、前記基準電流発生回路の出力電流と前記複数のメモリセルの中から選択されたメモリセルに流れるセル電流とを比較し、そのセル電流を増幅して出力するセンスアンプとを具備し、前記基準電流発生回路は、 $(N-1)$ 個のリファレンスセルおよび前記 $(N-1)$ 個のリファレンスセルに流れる電流を増幅する $(N-1)$ 個の増幅回路を含み、前記 $(N-1)$ 個のリファレンスセルのうち、第 I のリファレンスセルのしきい値電圧が第 $(I-1)$ のリファレンスセルのしきい値電圧よりも高く ($1 \leq I \leq N$)、かつ、前記 $(N-1)$ 個の増幅回路のうち、第 I の増幅回路における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の第 I 増幅率が 1 よりも大きく、第 $(I-1)$ の増幅回路における第 $(I-1)$ 増幅率が前記第 I 増幅率よりも小さいことを特徴とする不揮発性半導体メモリが提供される。

【0025】

上記した構成によれば、データの読み出しとベリファイの基準電流を、同じリファレンスセルから対応する変換率で発生させることが可能になる。これにより、どの分布のセルに対しても同じベリファイマージンを保証できるようになるものである。

【0026】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0027】**(第1の実施形態)**

図1は、本発明の第1の実施形態にしたがった四値フラッシュメモリの構成例を示すものである。図1において、アドレスラッチ (Address latch) 11は、アドレスバス (Address bus) からのアドレスをラッチする。アドレスカウンタ (Address counter) 12は、アドレスラッチ11のラッチアドレスをカウントする。アドレスバッファ (Address buffer) 13は、アドレスカウンタ12のカウント出力を受け、データを読み出したまたは書き込みまたは消去する本体セル (選択された処理対象のメモリセル) に対応した内部アドレスを出力する。IOバッファ (IO buffer) 14は、データバス (Data bus) とデータラッチ (Data latch) 15との間の、読み出しデータや書き込みデータの送受を制御する。

【0028】

メモリセルアレイ (Memory cell array) 21は、複数の本体セル (複数の不揮発性のメモリセル) を有する。また、このメモリセルアレイ 21は、各本体セルに接続されるワード線およびビット線およびソース線を備えている。読み出し回路であるセンスアンプ (Sense amp.) 31は、データの読み出し時に、メモリセルアレイ 21内の本体セルのデータを、カラムゲート (column gates) 回路 32を介して取り込む。そして、その取り込んだデータをセンスし、上記データラッチ 15に出力する。このセンスアンプ 31は、ワード線に読み出し電圧を印加することによりビット線を通る本体セルの電流と、リファレンスワード線にリファレンス電圧を印加することにより、基準電流発生回路 (Reference current generation circuit) 41に設けられたリファレンスセルに流れる電流とを比較する。こうして、本体セルのデータを読み出すものである。なお、センスアンプ 31および基準電流発生回路 41の詳細な構成については、後述する。

【0029】

書き込み回路 (Program circuit) 33は、データの書き込み時に、上記データラッチ15から供給される書き込みデータを取り込むとともに、カラムゲート回路32を介して、メモリセルアレイ21内の対応するビット線に書き込み電圧を供給する。この場合、上記書き込み回路33は、ワード線またはビット線またはソース線またはメモリセルが形成されている半導体領域のいずれか、あるいは、これらのうちの複数に電圧を印加して、セルデータを書き込むことが可能である。

【0030】

コマンドレジスタ (Command register) 34は、コントロールバス (Control bus) から入力される書き込みコマンドや消去コマンドなどの各種のコマンドを保持する。コントローラ (Controller) 35は、コマンドレジスタ34で保持されているコマンドを受けて、メモリ内の各回路を制御するための各種の制御信号を発生する。ロウデコーダ (Row decoder) 36は、上記アドレスバッファ13から出力される内部アドレスを受け、メモリセルアレイ21内の対応するワード線を選択する。カラムデコーダ (Column decoder) 37は、上記アドレスバッファ13から出力される内部アドレスを受け、その内部アドレスに応じて、カラムゲート回路32内のカラムゲートを選択駆動する。これにより、メモリセルアレイ21内の選択されたビット線が、カラムゲート回路32を介して、センスアンプ31と接続される。

【0031】

昇圧回路であるチャージポンプ (Charge pumps) 回路38は、外部電源電圧を昇圧して書き込み用の電圧 (たとえば、5V) や消去用の電圧 (たとえば、10Vおよび-7V) を発生する。このチャージポンプ回路38で発生された書き込み用の5Vの電圧は、上記書き込み回路33に供給される。また、消去用の-7Vの電圧はメモリセルアレイ21に供給される。また、消去用の10Vの電圧 (Vpp) はレギュレータ (Regulator) 回路39に供給される。レギュレータ回路39は、たとえばDAコンバータ回路によって構成されている。このレギュレータ回路39は、上記チャージポンプ回路38で発生され

た電圧 V_{pp} から、データの書き込み時やデータの読み出し時にワード線に供給するための種々の電圧 $V_{ghontai}$ を生成する。このレギュレータ回路 39 で発生された電圧 $V_{ghontai}$ は、上記ロウデコーダ 36 を経由してメモリセルアレイ 21 内のワード線、つまり、本体セルのコントロールゲートに供給される。

【0032】

また、この四値フラッシュメモリには、ワード線またはビット線またはソース線またはメモリセルが形成されている半導体領域のいずれか、あるいは、これらのうちの複数に電圧を印加して、本体セルのデータを消去する消去回路（図示していない）が設けられている。

【0033】

また、この四値フラッシュメモリには、消去ベリファイ回路（図示していない）が設けられている。本実施形態の場合、消去ベリファイ回路は、所定の電圧（たとえば、 V_r ）を消去対象となる本体セルのワード線およびリファレンスセルのワード線に印加する。そして、選択された本体セルのセル電流とリファレンスセルのセル電流とを比較することによって、データの消去が終了したか否かを検出するように構成されている。

【0034】

また、この四値フラッシュメモリには、書き込みベリファイ回路（図示していない）が設けられている。本実施形態の場合、書き込みベリファイ回路は、所定の電圧（たとえば、 $V_r(PV1)$ 、 $V_r(PV2)$ 、 $V_{sw2}(PV3)$ ）を書き込み対象となる本体セルのワード線に印加する。また、所定の電圧（ $V_r(PV1)$ 、 $V_r(PV2)$ 、 $V_r(PV3)$ ）をリファレンスセルのワード線に印加する。そして、選択された本体セルのセル電流とリファレンスセルのセル電流とを比較することによって、データの書き込みが終了したか否かを検出するように構成されている。

【0035】

上記基準電流発生回路 41 は、複数のリファレンスセルを含み、各リファレンスセルに流れる電流をそれぞれ増幅するための電圧発生回路（増幅回路）を備え

ている。

【0036】

図2は、図1に示したメモリセルアレイ21を構成する不揮発性メモリセルの、素子断面構造を示すものである。図2において、P型半導体基板(P-substrate)21a内には、N型ウエル領域(N-well)21bが形成されている。さらに、このN型ウエル領域21b内には、P型ウエル領域(P-well)21cが形成されている。上記P型ウエル領域21c内には、 n^+ 型のソース領域21d、ドレイン領域21eが互いに離間して形成されている。そして、このソース領域21d、ドレイン領域21eの相互間のチャネル領域上には、絶縁膜21₋₁を介して、フローティングゲート(Floating gate)21fが形成されている。さらに、このフローティングゲート21f上には、絶縁膜21₋₂を介して、コントロールゲート(Control gate)21gが形成されている。

【0037】

また、上記P型半導体基板21aの表面部には、 p^+ 型領域からなるコンタクト領域21hが形成されている。また、上記N型ウエル領域21bの表面部には、 n^+ 型領域からなるコンタクト領域21iが形成されている。また、上記P型ウエル領域21cの表面部には、 p^+ 型領域からなるコンタクト領域21jが形成されている。

【0038】

本体セルの場合、動作時に、コントロールゲート21gにゲート電圧 V_{g-h} が供給される。また、ドレイン領域21eにはドレイン電圧 V_d が供給され、ソース領域21dにはソース電圧 V_s が供給される。さらに、上記コンタクト領域21i、21jには、ソース電圧 V_s と同じ電圧が供給される。上記コンタクト領域21hには0Vの接地電位が供給される。

【0039】

本体セルは、フローティングゲート21fに蓄積される電子の量によって、データの“3”レベル、“2”レベル、“1”レベル、“0”レベルを記憶する。その場合、フローティングゲート21fは、記憶するセルデータのレベルに応じ

て、コントロールゲート 21g としきい値電圧が異なる。

【0040】

上記メモリセルアレイ 21 は、このような構成のメモリセルが複数設けられることによって構成されている。

【0041】

図 3 は、四値フラッシュメモリ（たとえば、NOR 型）の構成の要部を示すものである。図 3 において、上記メモリセルアレイ 21 は、複数のメモリセル（本体セル）MC が行列状に配置されている。同一行に配置された複数の本体セル MC の各コントロールゲート（21g）は、複数のワード線 WL0 ~ WLn のうちの対応する 1 つのワード線に共通に接続されている。また、同一列に配置された複数の本体セル MC の各ドレイン領域（21e）は、複数のビット線 BL0 ~ BLk のうちの対応する 1 つのビット線に共通に接続されている。一般に、メモリセルアレイ 21 は複数のブロックに分割されている。同一ブロック内の複数の本体セル MC の各ソース領域（21d）は、複数のソース線（図示していない）のうちの対応する 1 つのソース線に共通に接続されている。各ビット線 BL0 ~ BLk は、複数の選択トランジスタ ST0 ~ STk のうちの対応する 1 つの選択トランジスタを介して、上記センスアンプ 31 に接続されている。選択トランジスタ ST0 ~ STk は、それぞれのゲートが、複数のカラム線 COL0 ~ COLm のうちの対応する 1 つのカラム線に接続されている。

【0042】

上記センスアンプ 31 は、たとえば、本体セル MC のセル電流 I_{cell} と 3 つのリファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} とをそれぞれ比較するための 3 つの差動増幅器（第 1, 第 2, 第 3 のセンスアンプ）31-1, 31-2, 31-3 を有している。このセンスアンプ 31 は、上記各差動増幅器 31-1, 31-2, 31-3 の出力 D0, D1, D2 の論理演算によって、セルデータに対応する信号（2 ビット）を発生する。

【0043】

本実施形態の場合、本体セル MC のセル電流 I_{cell} は、差動増幅器 31-1, 31-2, 31-3 の各反転入力端に供給される。上記差動増幅器 31-1, 31-2

、31₋₃の各反転入力端へのセル電流 I_{cell} の供給は、p型MOSトランジスタ31a、および、n型MOSトランジスタからなるバイアストランジスタ31bを介して行われる。すなわち、差動増幅器31₋₁、31₋₂、31₋₃の各反転入力端は、p型MOSトランジスタ31aのゲートおよびドレイン領域に共通に接続されている。このp型MOSトランジスタ31aのソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ31aのドレイン領域は、バイアストランジスタ31bのドレイン領域に接続されている。このバイアストランジスタ31bのゲートには、バイアス電源線BIASが接続されている。そして、このバイアストランジスタ31bのソース領域に、上記セルアレイ21内の各ビット線BL0～BL_kにつながる、上記選択トランジスタST0～ST_kの各ドレイン領域が共通に接続されている。

【0044】

一方、上記リファレンス電流 I_{ref0} 、 I_{ref1} 、 I_{ref2} は、p型MOSトランジスタ31_{-1a}、31_{-2a}、31_{-3a}、および、n型MOSトランジスタからなるバイアストランジスタ31_{-1b}、31_{-2b}、31_{-3b}を介して、上記差動増幅器31₋₁、31₋₂、31₋₃のそれぞれの非反転入力端に供給される。すなわち、差動増幅器31₋₁の非反転入力端は、p型MOSトランジスタ31_{-1a}のゲートおよびドレイン領域に接続されている。このp型MOSトランジスタ31_{-1a}のソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ31_{-1a}のドレイン領域は、バイアストランジスタ31_{-1b}のドレイン領域に接続されている。このバイアストランジスタ31_{-1b}のゲートには、バイアス電源線BIASが接続されている。同様に、差動増幅器31₋₂の非反転入力端は、p型MOSトランジスタ31_{-2a}のゲートおよびドレイン領域に接続されている。このp型MOSトランジスタ31_{-2a}のソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ31_{-2a}のドレイン領域は、バイアストランジスタ31_{-2b}のドレイン領域に接続されている。このバイアストランジスタ31_{-2b}のゲートには、バイアス電源線BIASが接続されている。同様に、差動増幅器31₋₃の非反転入力端は、p型MOSトランジスタ31_{-3a}のゲートおよびドレイン領域に接続されている。このp型MOSトランジスタ

31-3a のソース領域には、電源 V_{cc} が接続されている。また、p 型 MOS トランジスタ 31-3a のドレイン領域は、バイアストランジスタ 31-3b のドレイン領域に接続されている。このバイアストランジスタ 31-3b のゲートには、バイアス電源線 B_{IAS} が接続されている。

【0045】

これらバイアストランジスタ 31-1b, 31-2b, 31-3b の各ソース領域には、上記リファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} が供給される。つまり、バイアストランジスタ 31-1b, 31-2b, 31-3b に、リファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} を発生させるための基準電流発生回路 41 が接続されている。

【0046】

基準電流発生回路 41 は、リファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} をそれぞれ発生させるための発生回路 41a, 41b, 41c を備えて構成されている。発生回路 41a, 41b, 41c のそれぞれは、リファレンスカラムトランジスタ 41a-1, 41b-1, 41c-1、リファレンストランジスタ Q_{NR0} , Q_{NR1} , Q_{NR2} 、および、電圧発生回路 41a-3, 41b-3, 41c-3 を有している。上記リファレンスカラムトランジスタ 41a-1, 41b-1, 41c-1 は、それぞれ n 型 MOS トランジスタからなる。上記リファレンスカラムトランジスタ 41a-1, 41b-1, 41c-1 の各ドレイン領域が、上記センスアンプ 31 内のバイアストランジスタ 31-1b, 31-2b, 31-3b の各ソース領域に接続されている。リファレンスカラムトランジスタ 41a-1, 41b-1, 41c-1 の各ゲートには、リファレンスカラム線 R_{COL} が接続されている。上記リファレンストランジスタ Q_{NR0} , Q_{NR1} , Q_{NR2} は、それぞれ n 型 MOS トランジスタからなる。上記リファレンストランジスタ Q_{NR0} , Q_{NR1} , Q_{NR2} の各ドレイン領域が、上記リファレンスカラムトランジスタ 41a-1, 41b-1, 41c-1 の各ソース領域に接続されている。リファレンストランジスタ Q_{NR0} , Q_{NR1} , Q_{NR2} の各ゲート（リファレンスワード線 R_{WL0} , R_{WL1} , R_{WL2} ）には、上記電圧発生回路 41a-3, 41b-3, 41c-3 が接続されている。リファレンストランジスタ Q_{NR0} , Q_{NR1} , Q_{NR2} の各ソ

ース領域は、接地電位に接続されている。上記電圧発生回路 41a₋₃, 41b₋₃, 41c₋₃は、それぞれ、リファレンストランジスタ QNR0, QNR1, QNR2 の各ゲートに印加される電圧を発生するものである。

【0047】

図4は、上記電圧発生回路 41a₋₃, 41b₋₃, 41c₋₃の構成例を示すものである。ここでは、同図 (a) ~ (c) にそれぞれ示すように、電圧発生回路 41a₋₃, 41b₋₃, 41c₋₃の構成は同一とし、各リファレンスセル RC0, RC1, RC2 のしきい値電圧 V_{t0} , V_{t1} , V_{t2} のみが異なるように構成した場合について説明する。

【0048】

図4 (a) ~ 図4 (c) において、WS0, WS1, WS2 は、電流非変換 p 型 MOS トランジスタ PQa0, PQa1, PQa2 のトランスコンダクタンスである。WV0, WV1, WV2 は、ベリファイ ($V_{FYB}=L$) 時電流変換 p 型 MOS トランジスタ PQb0, PQb1, PQb2 のトランスコンダクタンスである。WR0, WR1, WR2 は、読み出し ($R_{DB}=L$) 時電流変換 p 型 MOS トランジスタ PQc0, PQc1, PQc2 のトランスコンダクタンスである。WS0, WS1, WS2 は、上記 p 型 MOS トランジスタ PQa0, PQa1, PQa2 の各ソース電極に与えられる。この p 型 MOS トランジスタ PQa0, PQa1, PQa2 のゲートおよびドレイン領域には、それぞれ、n 型 MOS トランジスタからなるバイアストランジスタ NQa を介して、リファレンスセル RC0, RC1, RC2 のドレイン領域が接続されている。リファレンスセル RC0, RC1, RC2 のコントロールゲートには、それぞれ、読み出し電圧に等しいゲート電圧 V_{read} が与えられる。リファレンスセル RC0, RC1, RC2 の各ソース領域は、接地電位にそれぞれ接続されている。

【0049】

本実施形態の場合、リファレンスセル (第1のリファレンスセル) RC0 のしきい値電圧は V_{t0} であり、リファレンスセル (第2のリファレンスセル) RC1 のしきい値電圧は V_{t1} ($V_{t1} > V_{t0}$) であり、リファレンスセル (第3のリファレンスセル) RC2 のしきい値電圧は V_{t2} ($V_{t2} > V_{t1} > V_{t0}$)

) となっている。また、上記 p 型 MOS トランジスタ PQa0, PQa1, PQa2 のゲートおよびドレイン領域には、それぞれ、p 型 MOS トランジスタ PQb0, PQb1, PQb2, PQc0, PQc1, PQc2 の各ゲートが接続されている。p 型 MOS トランジスタ PQb0, PQb1, PQb2 は、各ソース領域に WV0, WV1, WV2 が供給される。p 型 MOS トランジスタ PQb0, PQb1, PQb2 の各ドレイン領域は、p 型 MOS トランジスタ PQd の各ソース領域に接続されている。p 型 MOS トランジスタ PQd の各ゲートは、ベリファイ信号線 VFYB に接続されている。p 型 MOS トランジスタ PQc0, PQc1, PQc2 は、各ソース領域に WR0, WR1, WR2 が供給される。p 型 MOS トランジスタ PQc0, PQc1, PQc2 の各ドレイン領域は、p 型 MOS トランジスタ PQe のソース領域に接続されている。p 型 MOS トランジスタ PQe の各ゲートは、読み出し信号線 RDB に接続されている。p 型 MOS トランジスタ PQd, PQe の各ドレイン領域は共通に接続されている。また、p 型 MOS トランジスタ PQd, PQe の各ドレイン領域は、n 型 MOS トランジスタからなるバイアストランジスタ NQb のドレイン領域、および、n 型 MOS トランジスタ NQc のゲートに、それぞれ接続されている。バイアストランジスタ NQb の各ソース領域は、n 型 MOS トランジスタ NQc の各ドレイン領域に接続されている。n 型 MOS トランジスタ NQc の各ソース領域は接地電位に接続され、各ゲートは上記リファレンストランジスタ QNR0, QNR1, QNR2 の各ゲートに接続されている。

【0050】

このような構成により、電圧発生回路 41a₋₃, 41b₋₃, 41c₋₃からは、データの読み出し時およびベリファイ時に、リファレンスセル RC0, RC1, RC2 のしきい値電圧 V_{t0}, V_{t1}, V_{t2} に応じた出力がそれぞれ生成される。電圧発生回路 41a₋₃, 41b₋₃, 41c₋₃からの出力は、各リファレンストランジスタ QNR0, QNR1, QNR2 にリファレンス電流 I_{ref0}, I_{ref1}, I_{ref2} を流すためのもので、リファレンストランジスタ QNR0, QNR1, QNR2 の各ゲート（リファレンスワード線 RWL0, RWL1, RWL2）に与えられる。すなわち、データの読み出し時におけるリファレンス

電流 I_{ref0} , I_{ref1} , I_{ref2} は、p型MOSトランジスタ PQ_e がオン、p型MOSトランジスタ PQ_d がオフとなつて、 WS_0 , WS_1 , WS_2 と WR_0 , WR_1 , WR_2 との比に応じてセル電流 $I_{refcell0}$, $I_{refcell1}$, $I_{refcell2}$ が増幅されることにより生成される。ベリファイ時におけるリファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} は、p型MOSトランジスタ PQ_d がオン、p型MOSトランジスタ PQ_e がオフとなつて、 WS_0 , WS_1 , WS_2 と WV_0 , WV_1 , WV_2 との比に応じてセル電流 $I_{refcell0}$, $I_{refcell1}$, $I_{refcell2}$ が増幅されることにより生成される。

【0051】

ここで、リファレンスセル RC_i のしきい値電圧を V_{t_i} 、ゲート電圧 V_r 印加時のセル電流を $I_{refcell_i}$ 、 $WS_i : WR_i = 1 : a_i$ 、 $WS_i : WV_i = 1 : b_i$ とする。すると、

$$\begin{aligned} I_{ref_i} &= a_i I_{refcell_i} \text{ (読み出し時)} \\ &= b_i I_{refcell_i} \text{ (ベリファイ時)} \dots (1) \end{aligned}$$

となる。よつて、 $V_{t0} < V_{t1} < V_{t2}$ のとき、 $b_0/a_0 < b_1/a_1 < b_2/a_2$ とすれば、たとえば図5に示すように、各ベリファイマージン $I_{ref_i_v}$ (v はベリファイ時を示す)、 $I_{ref_i_r}$ (r は読み出し時を示す) がほぼ等しくなるような、 a_i , b_i の組み合わせが存在する。

【0052】

本実施形態の場合、基準電流発生回路41は、少なくともリファレンスセル RC_0 と、このリファレンスセル RC_0 に流れるセル電流 $I_{refcell0}$ を増幅する電圧発生回路41a₃とを含んで構成されている。また、この基準電流発生回路41は、少なくとも上記リファレンスセル RC_0 のしきい値電圧 V_{t0} よりも高いしきい値電圧 V_{t1} とされたリファレンスセル RC_1 と、このリファレンスセル RC_1 に流れるセル電流 $I_{refcell1}$ を増幅する電圧発生回路41b₃とを含んで構成されている。さらに、この基準電流発生回路41は、少なくとも上記リファレンスセル RC_0 , RC_1 のしきい値電圧 V_{t0} , V_{t1} よりも高いしきい値電圧 V_{t2} とされたリファレンスセル RC_2 と、このリファレン

セルRC2に流れるセル電流 $I_{ref\ cell\ 2}$ を増幅する電圧発生回路41c₃とを含んで構成されている。そして、電圧発生回路41a₃における、データ読み出し時の電流の増幅率 (a_i) に対する書き込みベリファイ時の電流の増幅率 (b_i) の比である第1の電流増幅比は「1」よりも大きくなるように設定されている。また、電圧発生回路41b₃における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比は「1」よりも大きくなるように設定されている。また、電圧発生回路41c₃における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第3の電流増幅比は「1」よりも大きくなるように設定されている。

【0053】

図6は、リファレンス電流 I_{ref} に対するセル分布の一例を示すものである。ただし、vはベリファイ時を、rは読み出し時を示している。本実施形態の場合、状態“0”に対応するセル分布の下限はリファレンス電流 $I_{ref\ 0\ v}$ によって補償される。同様に、状態“1”に対応するセル分布の下限はリファレンス電流 $I_{ref\ 1\ v}$ によって補償される。同様に、状態“2”に対応するセル分布の下限はリファレンス電流 $I_{ref\ 2\ v}$ によって補償される。そして、リファレンス電流 $I_{ref\ 0\ r}$ は、状態“0”に対応するセル分布と状態“1”に対応するセル分布との間に位置する。また、リファレンス電流 $I_{ref\ 1\ r}$ は、状態“1”に対応するセル分布と状態“2”に対応するセル分布との間に位置する。さらに、リファレンス電流 $I_{ref\ 2\ r}$ は、状態“2”に対応するセル分布と状態“3”に対応するセル分布との間に位置する。

【0054】

図7は、各動作モードでのリファレンス電流 I_{ref} および本体セルMCのゲート電圧 $V_{g-hontai}$ とリファレンスセルRCのゲート電圧 V_{g-ref} とを対比して示すものである。なお、過消去ベリファイOEV時とデータの書き込み状態“2”を規定するための書き込みベリファイ (PV3) 時とにおけるリファレンス電流 I_{ref} は、 $I_{ref\ 2\ r}$ または $I_{ref\ 2\ v}$ を用いればよいことを示している。

【0055】

本実施形態の場合、たとえば、データの読み出し時（Readモード）において、リファレンス電流 I_{ref} は I_{ref0r} 、 I_{ref1r} 、 I_{ref2r} 、本体セルMCのゲート電圧 $V_{g-hontai}$ およびリファレンスセルRCのゲート電圧 V_{g-ref} はそれぞれ $V_r (=5.5V)$ となっている。また、たとえば消去ベリファイ時（EVモード）において、リファレンス電流 I_{ref} は I_{ref0v} 、本体セルMCのゲート電圧 $V_{g-hontai}$ およびリファレンスセルRCのゲート電圧 V_{g-ref} はそれぞれ V_r となっている。また、たとえば過消去ベリファイ時（OE Vモード）において、リファレンス電流 I_{ref} は I_{ref2r} （または、 I_{ref2v} ）、本体セルMCのゲート電圧 $V_{g-hontai}$ は $V_{sw1} (=2V)$ 、リファレンスセルRCのゲート電圧 V_{g-ref} は V_r となっている。また、たとえばデータの書き込み状態“0”を規定するための書き込みベリファイ時（PV1モード）において、リファレンス電流 I_{ref} は I_{ref1v} 、本体セルMCのゲート電圧 $V_{g-hontai}$ およびリファレンスセルRCのゲート電圧 V_{g-ref} はそれぞれ V_r となっている。また、たとえばデータの書き込み状態“1”を規定するための書き込みベリファイ時（PV2モード）において、リファレンス電流 I_{ref} は I_{ref2v} 、本体セルMCのゲート電圧 $V_{g-hontai}$ およびリファレンスセルRCのゲート電圧 V_{g-ref} はそれぞれ V_r となっている。さらに、たとえばデータの書き込み状態“2”を規定するための書き込みベリファイ時（PV3モード）において、リファレンス電流 I_{ref} は I_{ref2r} （または、 I_{ref2v} ）、本体セルMCのゲート電圧 $V_{g-hontai}$ は $V_{sw2} (=6.5V)$ 、リファレンスセルRCのゲート電圧 V_{g-ref} は V_r となっている。

【0056】

簡単のため、 a_i はすべて「1」を用いるのが望ましい。その他の値でももちろん可能である。 a_i がすべて「1」で、 $I_{ref_i_v} - I_{ref_i_r} = I_0$ としたい場合には、図6の特性図をもとに、

$$(b_i - 1) g_m (V_r - V_{t_i}) = I_0$$

すなわち、

$$b_i = 1 + I0 / gm / (Vr - Vt_i) \cdots (2)$$

と設定すれば、各分布のベリファイマージンを一定にできる。ただし、 gm はセル電流 $I_{ref_cell_i}$ のトランスコンダクタンスである。

【0057】

また、リファレンスセル RC_i のしきい値電圧 Vt_i を、それぞれ、書き込み時と消去時とで調整すれば、上記式 (2) により、ベリファイマージンを保証することができる。

【0058】

上記したように、読み出し時のリファレンス電流 I_{ref_r} とベリファイ時のリファレンス電流 I_{ref_v} とを、同じリファレンスセル RC_i からレベルに応じた変換率 (電流比) にもとづいて発生させるようにしている。これにより、ベリファイマージンを安定に保証できる。また、異なる分布のセルのベリファイマージンは、上記変換率をリファレンスセル RC_i ごとに設定するようにしている。このため、どの分布のセルに対しても一定のベリファイマージンを保証できる。

【0059】

特に、1つのリファレンスセルによって2つのリファレンス電流を発生できるようになる。その結果、リファレンスセルの個数の削減が可能となり、メモリの小型化にとっても有用である。

【0060】

なお、上述した実施形態においては、基準電流発生回路におけるリファレンスセルを3つとした場合 (図4参照) について説明した。これに限らず、たとえば2つのリファレンスセルにより構成することも可能である。すなわち、図8は、四値フラッシュメモリにおいて、リファレンスセルを2つとした場合の電圧発生回路の構成例を示すものである。ここでは、リファレンストランジスタ Q_{NR2} のゲート ($RWL2$) に印加される電圧を発生させるための電圧発生回路の、リファレンスセルを省略するようにした場合について説明する。

【0061】

この例において、たとえば電圧発生回路 $41c_3'$ は、電圧発生回路 $41b_3$

のバイアス電圧 $PBIAS$ をもとに、リファレンス電流 I_{ref2} を発生させるように構成されている。こうして、リファレンスセル RC_i の数を減らし、回路の構成を簡略化している。

【0062】

この例の場合、 $V_{t0} < V_{t1}$ のとき、 $b_0/a_0 < b_1/a_1 < b_2/a_2$, $b_1 > b_2$, $a_1 > a_2$ を満たすようなパラメータ設定がなされる。すなわち、電圧発生回路 $41a_3$ における、データ読み出し時の電流の増幅率 (a_i) に対する書き込みベリファイ時の電流の増幅率 (b_i) の比である第1の電流増幅比は「1」よりも大きくなるように設定されている。また、電圧発生回路 $41b_3$, $41c_3'$ における、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比は「1」よりも大きく、しかも、第1の電流増幅比が第2の電流増幅比よりも小さくなるように設定されている。

【0063】

なお、上記した構成における $Vg-I_{cell}$ 特性を図9に示している。また、図10は、上記のような構成において、各動作モードでのリファレンス電流 I_{ref} およびゲート電圧 Vg_hontai , Vg_ref を対比して示すものである。

【0064】

(第2の実施形態)

図11は、本発明の第2の実施形態にしたがった、四値フラッシュメモリにおける構成の要部（センスアンプおよび基準電流発生回路の詳細）を示すものである。ここでは、2つの差動増幅器を有して、センスアンプを構成するようにした場合について説明する。

【0065】

図11に示すように、センスアンプ $31'$ は、2つの差動増幅器 31_1 , 31_2 、ラッチ (Latch) 回路 $51a$ 、インバータ回路 $51b$ 、および、2つのアンド回路 $51c$, $51d$ を含んでいる。上記差動増幅器 31_1 , 31_2 の各反転入力端には、それぞれ、抵抗素子 Rra を介して電源 Vcc が接続されるとと

もに、本体セルMCのセル電流 I_{cell} が供給されるようになっている。上記差動増幅器 31₋₁ の非反転入力端には基準電流発生回路 41' が接続されて、発生回路 (I_{ref} 変換回路) 41b' からのリファレンス電流 I_{ref1} が供給されるようになっている。上記差動増幅器 31₋₂ の非反転入力端には基準電流発生回路 41' が接続されて、発生回路 (I_{ref} 変換回路) 41a' からのリファレンス電流 I_{ref0} 、または、発生回路 (I_{ref} 変換回路) 41c' からのリファレンス電流 I_{ref2} が供給されるようになっている。

【0066】

ラッチ回路 51a は、上記差動増幅器 31₋₁ の出力 D0 をラッチするもので、そのラッチ信号を上記インバータ回路 51b および上記アンド回路 51c に出力するようになっている。アンド回路 51c は、上記ラッチ信号と制御信号 2ndcol とから、リファレンス選択信号 RCOL0 を生成するものである。このリファレンス選択信号 RCOL0 は、上記発生回路 41a' のリファレンスカラムトランジスタ 41a₋₁ のゲートに供給されるようになっている。アンド回路 51d は、上記ラッチ回路 51a から出力され、上記インバータ回路 51b によって反転された、上記ラッチ信号の反転信号と制御信号 2ndcol とから、リファレンス選択信号 RCOL2 を生成するものである。このリファレンス選択信号 RCOL2 は、上記発生回路 41c' のリファレンスカラムトランジスタ 41c₋₁ のゲートに供給されるようになっている。

【0067】

本実施形態の場合、上記各発生回路 41a' , 41b' , 41c' はほぼ同一の構成とされ、それぞれ、リファレンスセル RC0, RC1, RC2 のしきい値電圧 V_{t0} , V_{t1} , V_{t2} のみが異なるように構成された上記電圧発生回路 41a₋₃ , 41b₋₃ , 41c₋₃ (たとえば、図4参照)、および、電源 V_{cc} に接続された抵抗素子 R_{rb} を含んでいる。

【0068】

リファレンス選択信号 RCOL0 , RCOL1 , RCOL2 のうち、リファレンス選択信号 RCOL1 は常に活性状態 (High レベル) となる。このリファレンス選択信号 RCOL1 は、上記発生回路 41b' のリファレンスカラムトラ

ンジスタ 41b₁ のゲートに供給されるようになっている。リファレンス選択信号 RCOL0, RCOL2 は、上記差動増幅器 31₁ の出力 D0 の論理に応じていずれか一方が活性状態となる。なお、上記差動増幅器 31₁ の出力 D0 は、4 つのしきい値電圧レベルの上二つまたは下二つのどちらかを示す。また、上記差動増幅器 31₂ の出力 D1 は、上二つの電圧レベルの高/低または下二つの電圧レベルの高/低を示す。

【0069】

このような構成によれば、差動増幅器の個数を減らすことができるので、第 1 の実施形態の場合よりも回路面積の削減が可能である。しかも、差動増幅器 31₁ の出力 D0 と差動増幅器 31₂ の出力 D1 とを異なるアドレスの別の I/O 端子に割り付け、出力 D0, 出力 D1 の順に出力させるようにする。このような仕様とすることによって、アクセス時間が大きく遅れるのを抑えることが可能である。

【0070】

図 12 は、図 11 に示した構成における動作波形を示すものである。なお、図 12 (a) はデータ “11 (実線)”, “10 (破線)” のときの動作波形図であり、図 12 (b) はデータ “01 (実線)”, “00 (破線)” のときの動作波形図である。

【0071】

図 12 (a) に示すように、たとえば時刻 T0 において、選択されたワード線 WL およびリファレンスワード線 RWL の電位とリファレンス選択信号 RCOL1 とがハイ (High) レベルになる。すると、差動増幅器 31₁ により、選択された本体セル (以下、選択セル) MC のセル電流 I_{cell} が、発生回路 41b' からのリファレンス電流 I_{ref1} と比較される。選択セル MC のセル電流 I_{cell} が上記リファレンス電流 I_{ref1} よりも大きい場合、差動増幅器 31₁ の出力 D0 がハイレベルになる (時刻 T1)。これにより、制御信号 2ndcol に同期して、アンド回路 51c の出力 (RCOL0) がハイレベルになる (時刻 T2)。

【0072】

これに対し、図12 (b) に示すように、たとえば選択セルMCのセル電流 I_{cell} が上記リファレンス電流 I_{ref1} よりも小さい場合、差動増幅器 31₋₂ の出力 D1 がロウ (Low) レベルになる (時刻 T1)。これにより、制御信号 2ndcol に同期して、アンド回路 51d の出力 (RCOL2) がハイレベルになる (時刻 T2)。

【0073】

この例の場合、差動増幅器 31₋₁ の出力 D0 および差動増幅器 31₋₂ の出力 D1 は、それぞれの大小関係に応じて、4つの状態、つまり、“00”、“01”、“10”、“11”のいずれかになる。すなわち、差動増幅器 31₋₁ の出力 D0 は、たとえば、出力 D0 が決まった時点で、センスアンプ 31' の外部に出力される。一方、選択セルMCのセル電流 I_{cell} は、差動増幅器 31₋₂ により、リファレンス電流 I_{ref0} またはリファレンス電流 I_{ref2} と比較される。この差動増幅器 31₋₂ の出力 D1 は、たとえば、出力 D1 が決まった時点で、出力 D0 に引き続いて外部に出力される。このようにして、4つのレベルを有する、四値フラッシュメモリのデータ読み出しが行われる。

【0074】

書き込みデータが“00”の場合の書き込みベリファイ動作は、本体セルMCのセル電流 I_{cell} を、リファレンス電流 I_{ref2} を増幅した電流と比較する。そして、セル電流 I_{cell} がリファレンス電流 I_{ref2} よりも小さくなった時点で、追加の書き込みデータを“11”に変える。書き込みデータが“01”の場合の書き込みベリファイ動作は、本体セルMCのセル電流 I_{cell} を、リファレンス電流 I_{ref1} を増幅した電流と比較する。そして、セル電流 I_{cell} がリファレンス電流 I_{ref1} よりも小さくなった時点で、追加の書き込みデータを“11”に変える。書き込みデータが“10”の場合の書き込みベリファイ動作は、本体セルMCのセル電流 I_{cell} を、リファレンス電流 I_{ref0} を増幅した電流と比較する。そして、セル電流 I_{cell} がリファレンス電流 I_{ref0} よりも小さくなった時点で、追加の書き込みデータを“11”に変える。

【0075】

このようにして、データ読み出し時の電流および書き込みベリファイ時の電流の増幅率を変えることにより、ベリファイマージンの確保が可能となる。

【0076】

図13は、図11に示した基準電流発生回路（I_{ref}変換回路）の他の構成例を示すものである。ここでは、図11に示した発生回路41b'を例に、消去ベリファイ動作のための消去ベリファイ用制御回路を付加するようにした場合について説明する。

【0077】

発生回路41b''において、消去ベリファイ用制御回路61は、消去ベリファイ時のリファレンス電流を通常のデータ読み出し時のリファレンス電流よりも低減させるためのもので、3つのn型MOSトランジスタNQ1, NQ2, NQ3を有している。すなわち、n型MOSトランジスタNQ1のドレイン領域は、p型MOSトランジスタPQdのドレイン領域、p型MOSトランジスタPQeのドレイン領域、バイアストランジスタNQbのドレイン領域、n型MOSトランジスタNQcのゲート、および、n型MOSトランジスタNQ1のゲートに接続されている。n型MOSトランジスタNQ1のゲートにはバイアス電源線BIASが接続され、ソース領域にはn型MOSトランジスタNQ2のドレイン領域が接続されている。n型MOSトランジスタNQ2のゲートにはEVモード信号線が接続され、ソース領域にはn型MOSトランジスタNQ3のドレイン領域が接続されている。n型MOSトランジスタNQ3のソース領域は接地電位に接続されている。

【0078】

この例の場合、リファレンス電流の大きさが、消去ベリファイ（EV=High, RDB=Low）時に最小値となり、書き込みベリファイ時に最大値となり、データ読み出し時にそれらの中間値となるように、各トランジスタのサイズが設定されている。このような構成によれば、消去ベリファイ時のリファレンス電流を減らすことが可能となる。発生回路における電流変換比は、ベリファイマージンに対する重要なパラメータである。したがって、すべてのトランジスタを同一サイズとし、その個数によって、つまり、ゲート長やゲート幅が同一とされた

トランジスタの個数によって、電流変換比を調整できるようにするのが望ましい。

【0079】

(第3の実施形態)

図14は、本発明の第3の実施形態にしたがった、四値フラッシュメモリにおける構成の要部（センスアンプおよび基準電流発生回路の詳細）を示すものである。ここでは、1つの差動増幅器を有して、センスアンプを構成するようにした場合について説明する。

【0080】

図14に示すように、センスアンプ31''は、差動増幅器31₋₁、ラッチ回路51a、51e、インバータ回路51b、および、2つのアンド回路51c、51dを含んでいる。上記差動増幅器31₋₁の反転入力端には、抵抗素子R_{ra}を介して電源V_{cc}が接続されるとともに、本体セルMCのセル電流I_{cell}が供給されるようになっている。上記差動増幅器31₋₁の非反転入力端には基準電流発生回路41''が接続されて、発生回路（I_{ref}変換回路）41b'、41a'、41c'からのリファレンス電流I_{ref1}、I_{ref0}、I_{ref2}のいずれかが供給されるようになっている。

【0081】

ラッチ回路51aは、センスアンプ31''の出力D_{out}となる上記差動増幅器31₋₁の出力を、ラッチ制御信号L_{at0}に応じてラッチするもので、そのラッチ信号を出力D₀として出力するようになっている。また、ラッチ回路51aのラッチ信号は、上記インバータ回路51bおよび上記アンド回路51cに出力されるようになっている。アンド回路51cは、上記ラッチ回路51aからのラッチ信号と制御信号2_{ndcol}とから、リファレンス選択信号R_{COL0}を生成するものである。このリファレンス選択信号R_{COL0}は、上記発生回路41a'のリファレンスカラムトランジスタ41a₋₁のゲートに供給されるようになっている。アンド回路51dは、上記ラッチ回路51aから出力され、上記インバータ回路51bによって反転された、上記ラッチ信号の反転信号と制御信号2_{ndcol}とから、リファレンス選択信号R_{COL2}を生成するものである。こ

のリファレンス選択信号 RCOL2 は、上記発生回路 41c' のリファレンスカラムトランジスタ 41c₁ のゲートに供給されるようになっている。ラッチ回路 51e は、上記差動増幅器 31₁ の出力 (Dout) をラッチ制御信号 Lat1 に応じてラッチするもので、そのラッチ信号を出力 D1 として出力するようになっている。

【0082】

リファレンス選択信号 RCOL0, RCOL1, RCOL2 のうち、リファレンス選択信号 RCOL1 は常に活性状態 (ハイレベル) となる。このリファレンス選択信号 RCOL1 は、バッファ回路 52 への制御信号 lscol の供給に応じて、上記発生回路 41b' のリファレンスカラムトランジスタ 41b₁ のゲートに供給されるようになっている。リファレンス選択信号 RCOL0, RCOL2 は、上記ラッチ回路 51a の出力 D0 の論理に応じていずれか一方が活性状態となる。なお、上記ラッチ回路 51a の出力 D0 は、4 つのしきい値電圧レベルの上二つまたは下二つのどちらかを示す。また、上記ラッチ回路 51e の出力 D1 は、上二つの電圧レベルの高/低または下二つの電圧レベルの高/低を示す。

【0083】

このような構成によれば、差動増幅器の個数をさらに減らすことができるので、第 2 の実施形態の場合よりも回路面積の削減の効果が大きい。しかも、ラッチ回路 51a の出力 D0 とラッチ回路 51e の出力 D1 とを異なるアドレスの別の I/O 端子に割り付け、出力 D0, 出力 D1 の順に出力させるようにする。このような仕様とすることによって、アクセス時間が大きく遅れるのを抑えることが可能である。

【0084】

図 15 は、図 14 に示した構成における動作波形を示すものである。なお、図 15 (a) はデータ “11 (実線)”, “10 (破線)” のときの動作波形図であり、図 15 (b) はデータ “01 (実線)”, “00 (破線)” のときの動作波形図である。

【0085】

図15 (a) に示すように、たとえば時刻T0において、選択されたワード線WLおよびリファレンスワード線RWLの電位とリファレンス選択信号RCOL1とがハイレベルになる。すると、差動増幅器31₋₁により、選択された本体セル（以下、選択セル）MCのセル電流I_{cell}が、発生回路41b'からのリファレンス電流I_{ref1}と比較される。選択セルMCのセル電流I_{cell}が上記リファレンス電流I_{ref1}よりも大きい場合、差動増幅器31₋₁の出力がハイレベルになる。この差動増幅器31₋₁の出力は、ラッチ制御信号Lat0の立ち下がり、ラッチ回路51aにラッチされる（時刻T2の直前）。これにより、制御信号2ndcolに同期して、アンド回路51cの出力（RCOL0）がハイレベルになる。すると、差動増幅器31₋₁の出力が、ラッチ制御信号Lat1の立ち下がり、ラッチ回路51eにラッチされる（時刻T3）。

【0086】

これに対し、図15 (b) に示すように、たとえば選択セルMCのセル電流I_{cell}が上記リファレンス電流I_{ref1}よりも小さい場合、差動増幅器31₋₁の出力がロウレベルになる。この差動増幅器31₋₁の出力は、ラッチ制御信号Lat0の立ち下がり、ラッチ回路51aにラッチされる（時刻T2の直前）。これにより、制御信号2ndcolに同期して、アンド回路51dの出力（RCOL2）がハイレベルになる。すると、差動増幅器31₋₁の出力が、ラッチ制御信号Lat1の立ち下がり、ラッチ回路51eにラッチされる（時刻T3）。

【0087】

このような構成とした場合においても、四値フラッシュメモリのデータ読み出し動作、書き込みベリファイ動作、および、消去ベリファイ動作を、上述した第2の実施形態の場合と同様に実施することができる。

【0088】

なお、上記した各実施形態においては、いずれも四値フラッシュメモリに適用した場合について説明した。これに限らず、たとえば二値フラッシュメモリにも同様に適用できる。二値フラッシュメモリに適用した場合には、消去ベリファイ電圧V_{ev}を発生させるための回路が不要となる。その分だけ、二値フラッシュ

メモリの小型化が可能である。

【0089】

その他、本発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも一つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも一つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0090】

【発明の効果】

以上、詳述したようにこの発明によれば、ベリファイマージンを安定に保証でき、読み出しマージンの減少を防止することが可能な不揮発性半導体メモリを提供できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態にしたがった四値フラッシュメモリの構成例を示すブロック図。

【図2】 図1の四値フラッシュメモリにおいて、メモリセルの素子構造を模式的に示す断面図。

【図3】 図1の四値フラッシュメモリにおける構成の要部（センスアンプおよび基準電流発生回路の詳細）を示す回路図。

【図4】 図3の基準電流発生回路における電圧発生回路の構成例を示す回路図。

【図5】 電圧発生回路を図4の構成とした場合を例に、四値フラッシュメモリの $V_g - I_{cell}$ 特性を示す図。

【図6】 図1の四値フラッシュメモリにおいて、リファレンス電流に対するセル分布の一例を示す図。

【図7】 電圧発生回路を図4の構成とした場合を例に、各動作モードにお

けるリファレンス電流とゲート電圧とを対比して示す図。

【図 8】 電圧発生回路の他の構成例を示す回路図。

【図 9】 電圧発生回路を図 8 の構成とした場合を例に、四値フラッシュメモリの $V_g - I_{cell}$ 特性を示す図。

【図 10】 電圧発生回路を図 8 の構成とした場合を例に、各動作モードにおけるリファレンス電流とゲート電圧とを対比して示す図。

【図 11】 本発明の第 2 の実施形態にしたがった、四値フラッシュメモリにおける構成の要部（センスアンプおよび基準電流発生回路の詳細）を示す回路図。

【図 12】 センスアンプおよび基準電流発生回路を図 11 の構成とした場合の動作波形を示す図。

【図 13】 図 11 の基準電流発生回路の他の構成例を示す回路図。

【図 14】 本発明の第 3 の実施形態にしたがった、四値フラッシュメモリにおける構成の要部（センスアンプおよび基準電流発生回路の詳細）を示す回路図。

【図 15】 センスアンプおよび基準電流発生回路を図 14 の構成とした場合の動作波形を示す図。

【図 16】 従来技術とその問題点を説明するために、二値フラッシュメモリの構成の要部を示す回路図。

【図 17】 図 16 の二値フラッシュメモリにおける $V_g - I_{cell}$ 特性を示す図。

【図 18】 図 16 の二値フラッシュメモリにおいて、各動作モードにおけるゲート電圧を対比して示す図。

【図 19】 図 16 の二値フラッシュメモリにおいて、ゲート電圧に対するセル分布の一例を示す図。

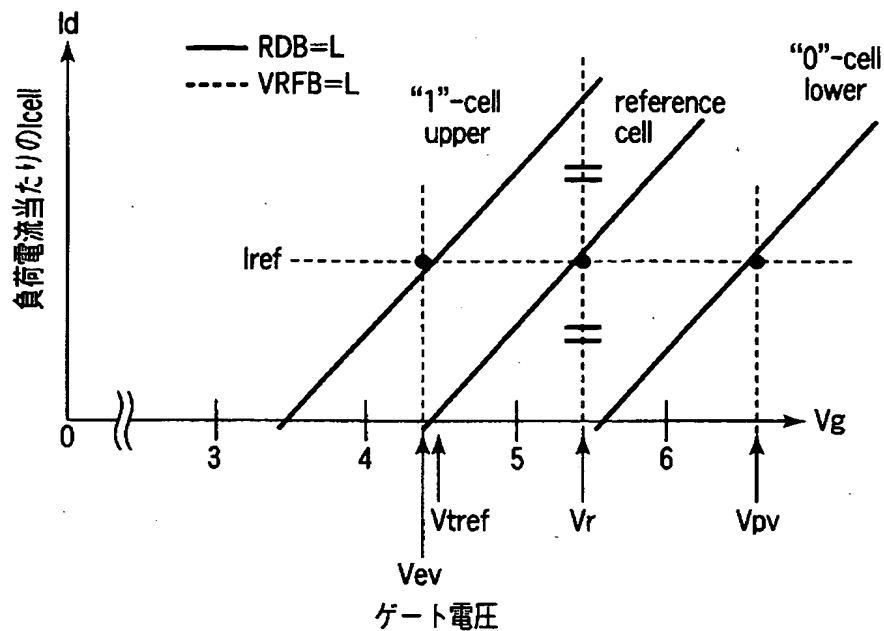
【符号の説明】

11…アドレスラッチ、12…アドレスカウンタ、13…アドレスバッファ、
14…IO バッファ、15…データラッチ、21…メモリセルアレイ、21a…
P 型半導体基板、21b…N 型ウエル領域、21c…P 型ウエル領域、21d…

ソース領域、21e…ドレイン領域、21f…フローティングゲート、21g…コントロールゲート、21h, 21i, 21j…コンタクト領域、31, 31', 31''…センスアンプ、31-1, 31-2, 31-3…差動増幅器、31-1a, 31-2a, 31-3a…p型MOSトランジスタ、31-1b, 31-2b, 31-3b…バイアストランジスタ (n型MOSトランジスタ)、31a…p型MOSトランジスタ、31b…バイアストランジスタ (n型MOSトランジスタ)、32…カラムゲート回路、33…書き込み回路、34…コマンドレジスタ、35…コントローラ、36…ロウデコーダ、37…カラムデコーダ、38…チャージポンプ回路、39…レギュレータ回路、41, 41', 41''…基準電流発生回路、41a, 41a', 41b, 41b', 41b'', 41c, 41c'…発生回路、41a-1, 41b-1, 41c-1…リファレンスカラムトランジスタ (n型MOSトランジスタ)、41a-3, 41b-3, 41c-3 (41c-3')…電圧発生回路、51a, 51e…ラッチ回路、51b…インバータ回路、51c, 51d…アンド回路、52…バッファ回路、61…消去ベリファイ用制御回路、MC…メモリセル (本体セル)、WL, WL0 ~ WLn…ワード線、BL0 ~ BLk…ビット線、ST0 ~ STk…選択トランジスタ、COL0 ~ COLm…カラム線、Icell…セル電流、Iref0, Iref1, Iref2…リファレンス電流、Vcc…電源、BIAS…バイアス電源線、PBIAS…バイアス電圧、QNR0, QNR1, QNR2…リファレンストランジスタ (n型MOSトランジスタ)、RCOL…リファレンスカラム線、RCOL0, RCOL1, RCOL2…リファレンス選択信号、RWL, RWL0, RWL1, RWL2…リファレンスワード線、RC0, RC1, RC2…リファレンスセル、PQa0, PQa1, PQa2…電流非変換p型MOSトランジスタ、PQb0, PQb1, PQb2…ベリファイ時電流変換p型MOSトランジスタ、PQc0, PQc1, PQc2…読み出し時電流変換p型MOSトランジスタ、Irefcell0, Irefcell1, Irefcell2…セル電流、NQa, NQb…バイアストランジスタ (n型MOSトランジスタ)、NQc…n型MOSトランジスタ、NQ1, NQ2, NQ3…n型MOSトランジスタ、PQd, PQe…p型MOSトランジスタ、VFYB…ベリファイ信号線、RDB…読み出し信号線、Rra,

R r b…抵抗素子、l s t c o l , 2 n d c o l…制御信号、L a t 0 , L a t
1 …ラッチ制御信号。

【図 17】

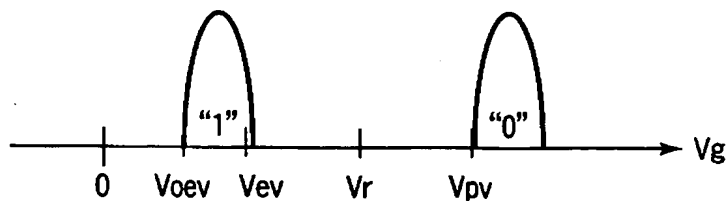


【図 18】

	mode			
	Read	EV	OEV	PV
Vg-hontai	V_r	V_{ev}	V_{oev}	V_{pv}
Vg-ref	V_r	V_r	V_r	V_r

$$V_r = 5.5V / V_{oev} = 2V / V_{ev} = 4V / V_{pv} = 6.5V$$

【図 19】



【書類名】 要約書

【要約】

【課題】 本発明は、四値フラッシュメモリにおいて、ベリファイマージンを安定に保証できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、メモリセルアレイ 21 の各メモリセル MC からビット線 $BL_0 \sim BL_k$ に流れる電流 I_{cell} との比較のためのリファレンス電流 I_{ref0} , I_{ref1} , I_{ref2} を発生させる基準電流発生回路 41 に、リファレンスセルに流れる電流を、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比が 1 よりも大きくなるように増幅する増幅回路 41a-3, 41b-3, 41c-3 を設けた構成となっている。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2003-193728
受付番号	50301134363
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 7月11日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内

【氏名又は名称】	鈴江 武彦
----------	-------

【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内

【氏名又は名称】	河野 哲
----------	------

【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内

【氏名又は名称】	中村 誠
----------	------

【選任した代理人】

【識別番号】	100108855
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内

【氏名又は名称】	蔵田 昌俊
----------	-------

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内

【氏名又は名称】	村松 貞男
----------	-------

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
綜合法律事務所内

【氏名又は名称】 橋本 良郎

特願 2003-193728

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

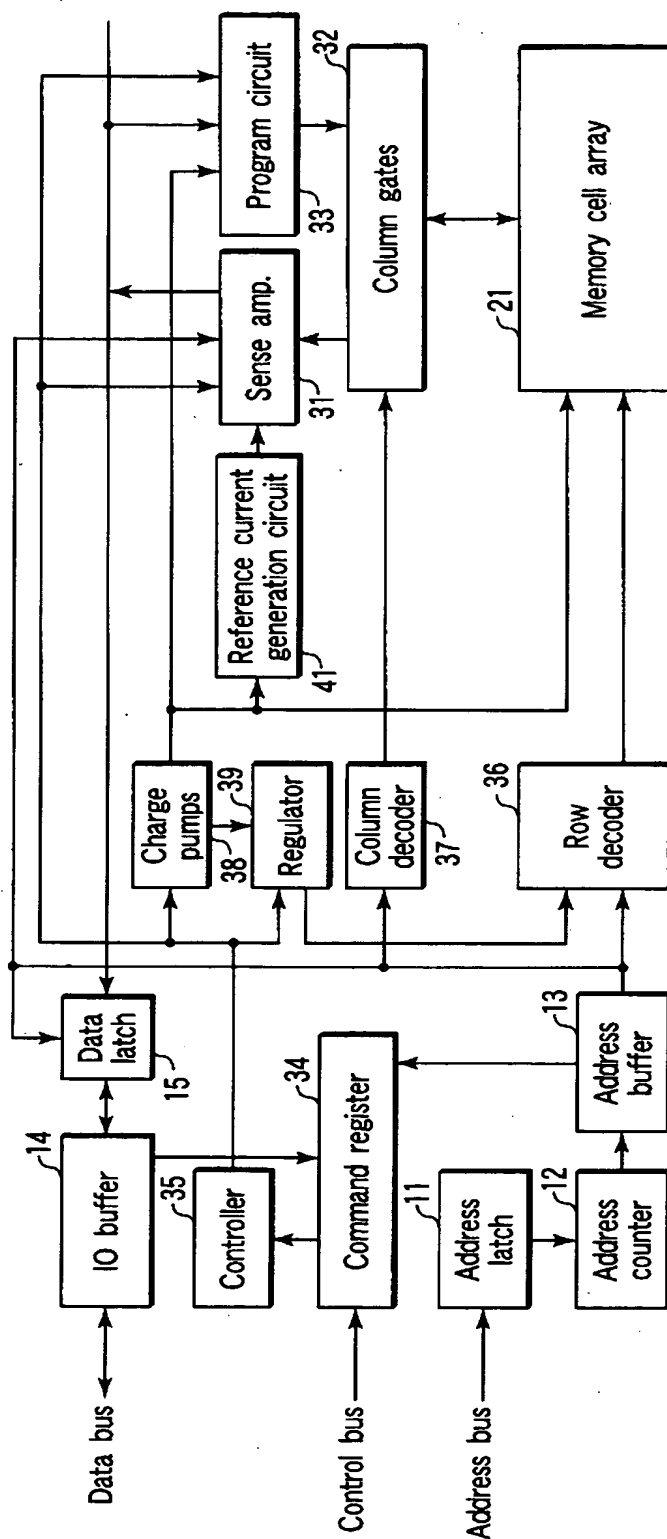
氏 名

株式会社東芝

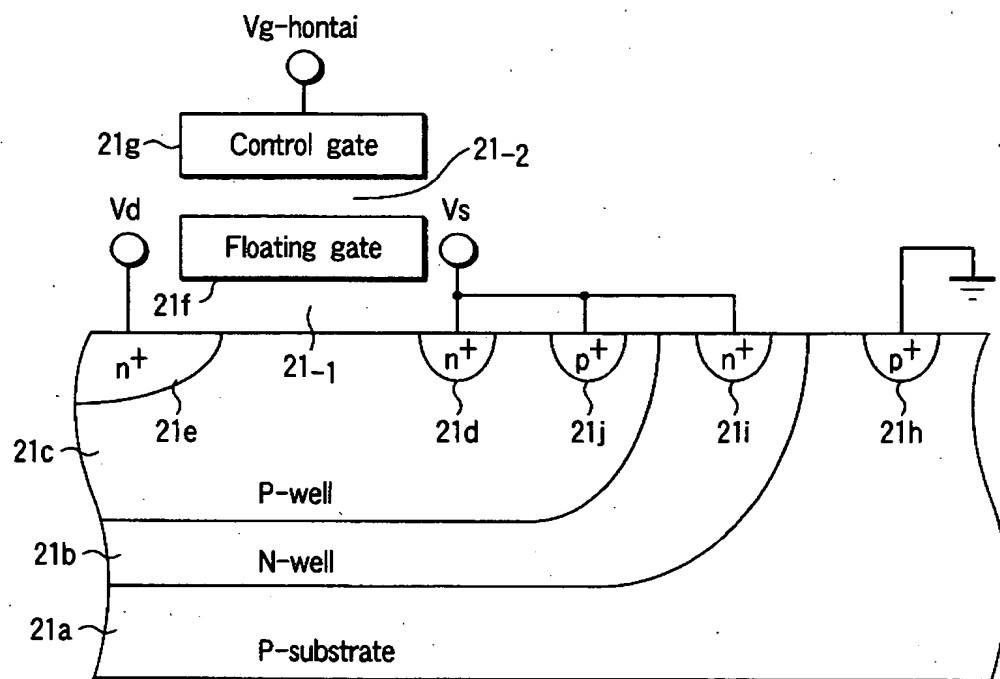
【書類名】

図面

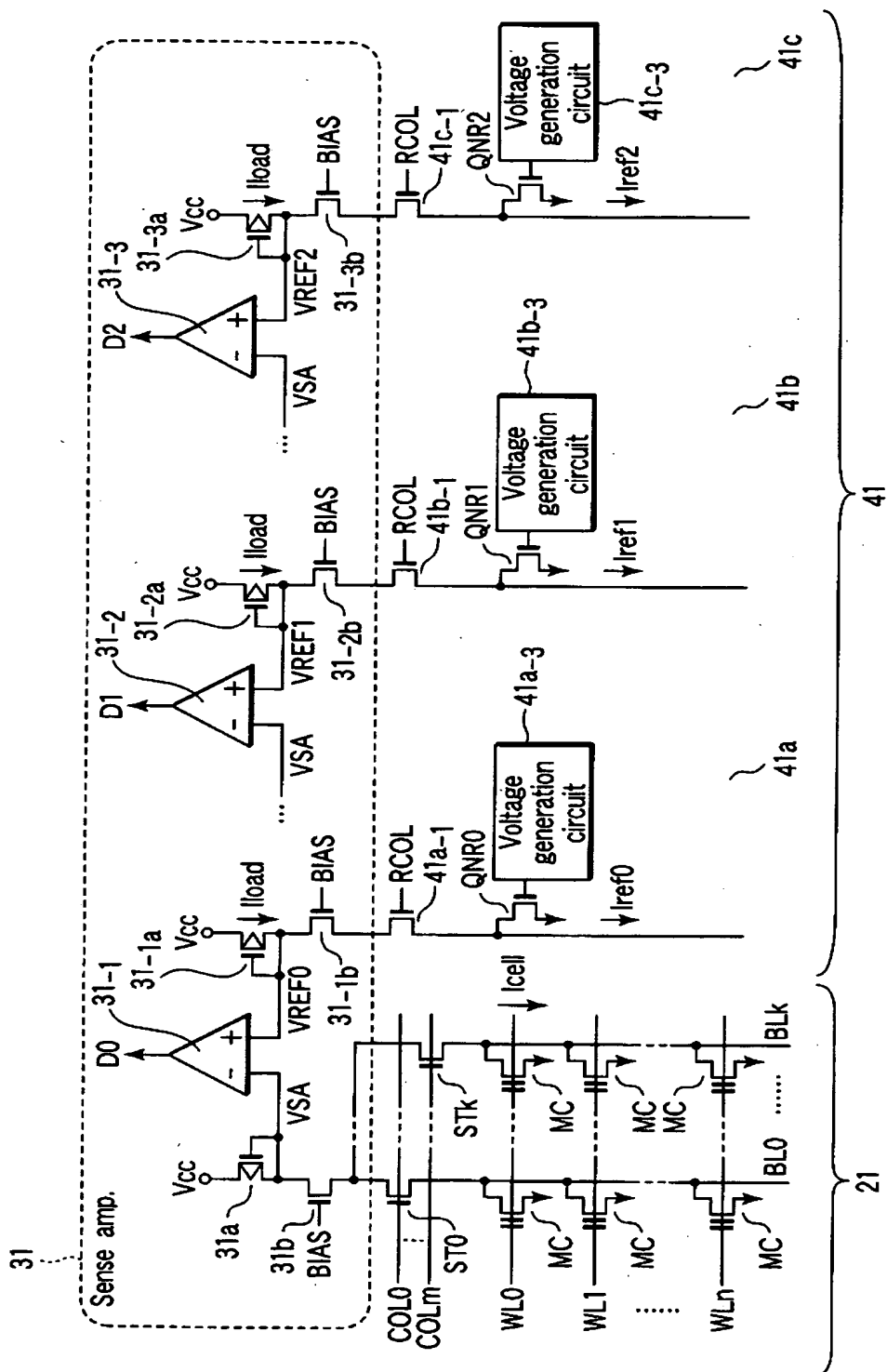
【図 1】



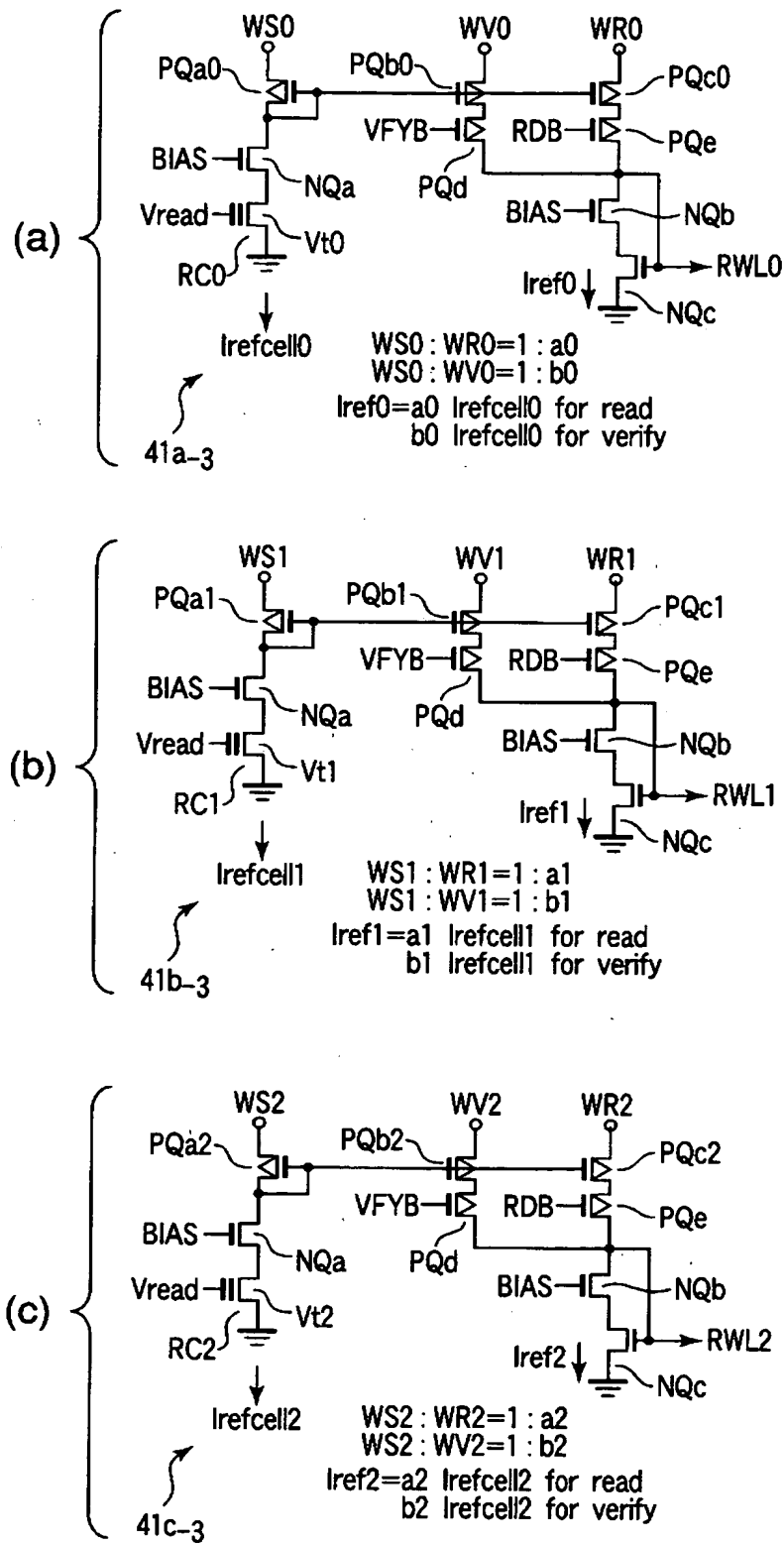
【図 2】



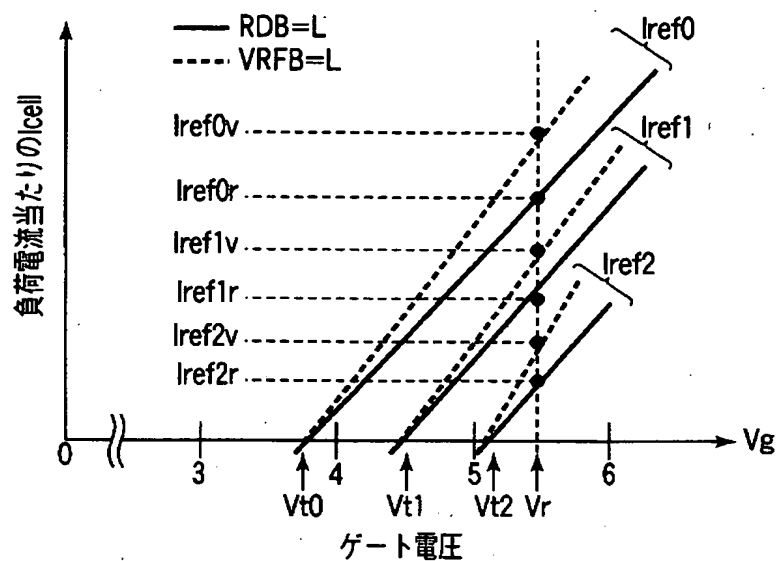
【図 3】



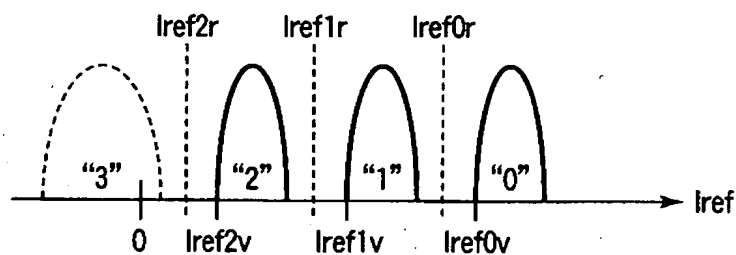
【図 4】



【図 5】



【図 6】

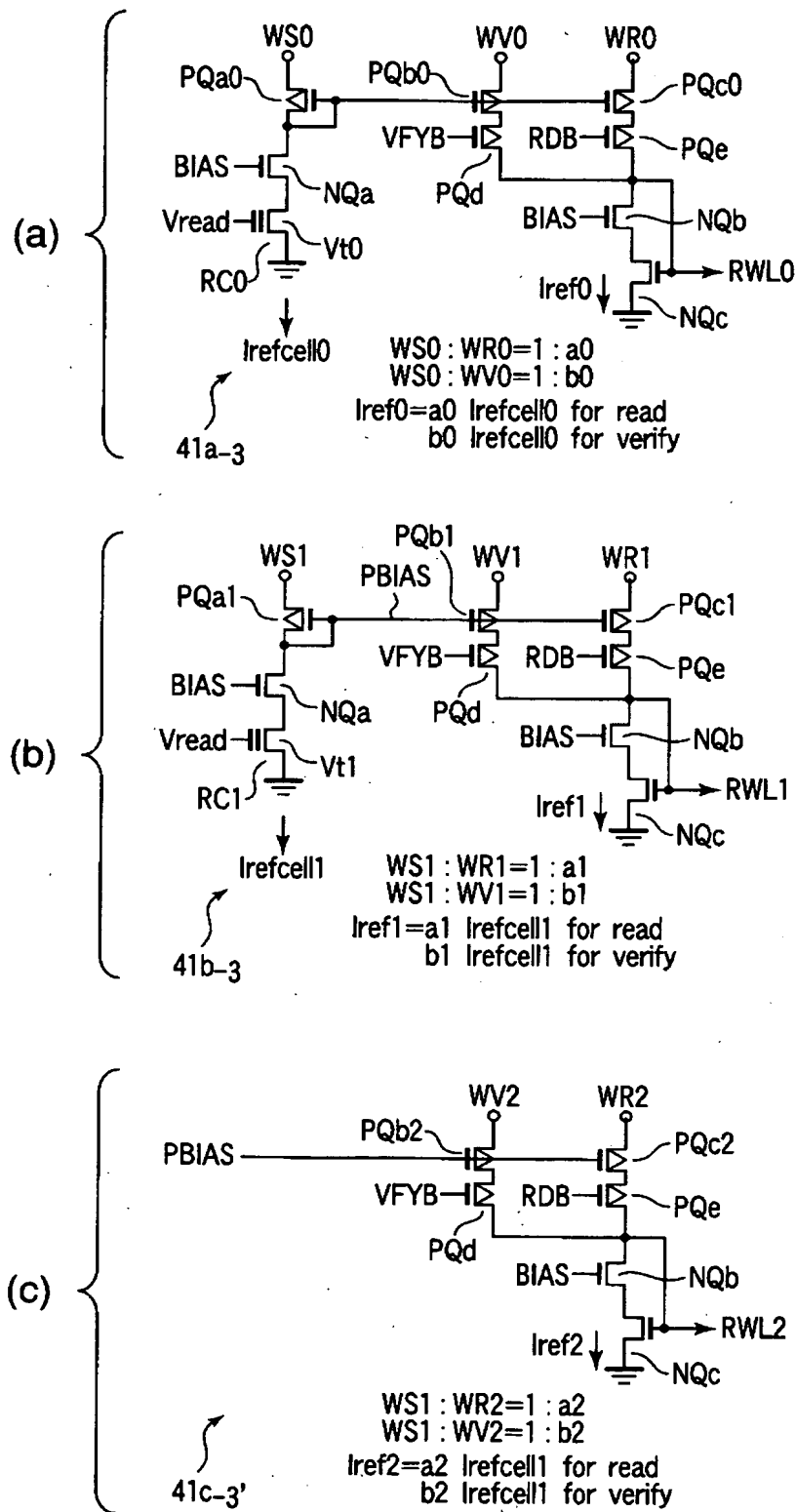


【図 7】

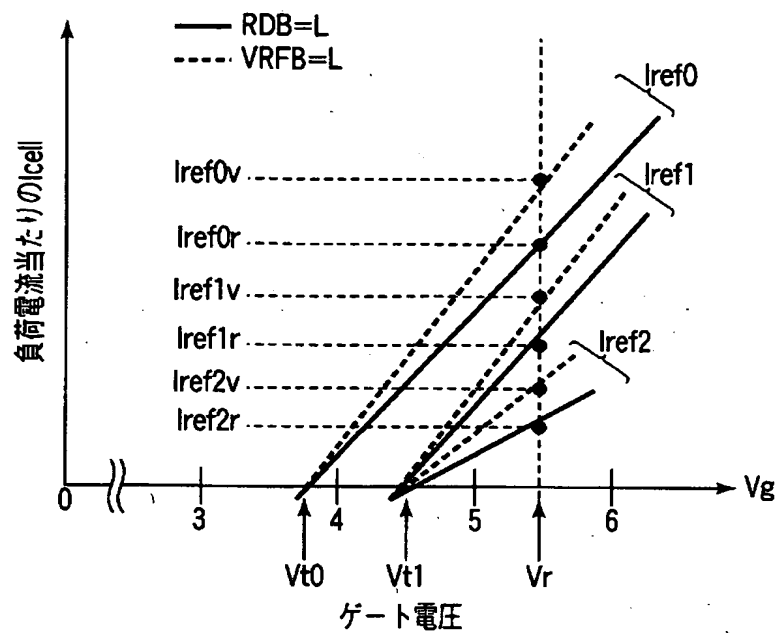
	mode					
	Read	EV	OEV	PV1	PV2	PV3
Iref	0r, 1r, 2r	0v	2r (v)	1v	2v	2r (v)
Vg-hontai	Vr	Vr	Vsw1	Vr	Vr	Vsw2
Vg-ref	Vr	Vr	Vr	Vr	Vr	Vr

$$Vr=5.5V/Vsw1=2V/Vsw2=6.5V$$

【図 8】



【図 9】

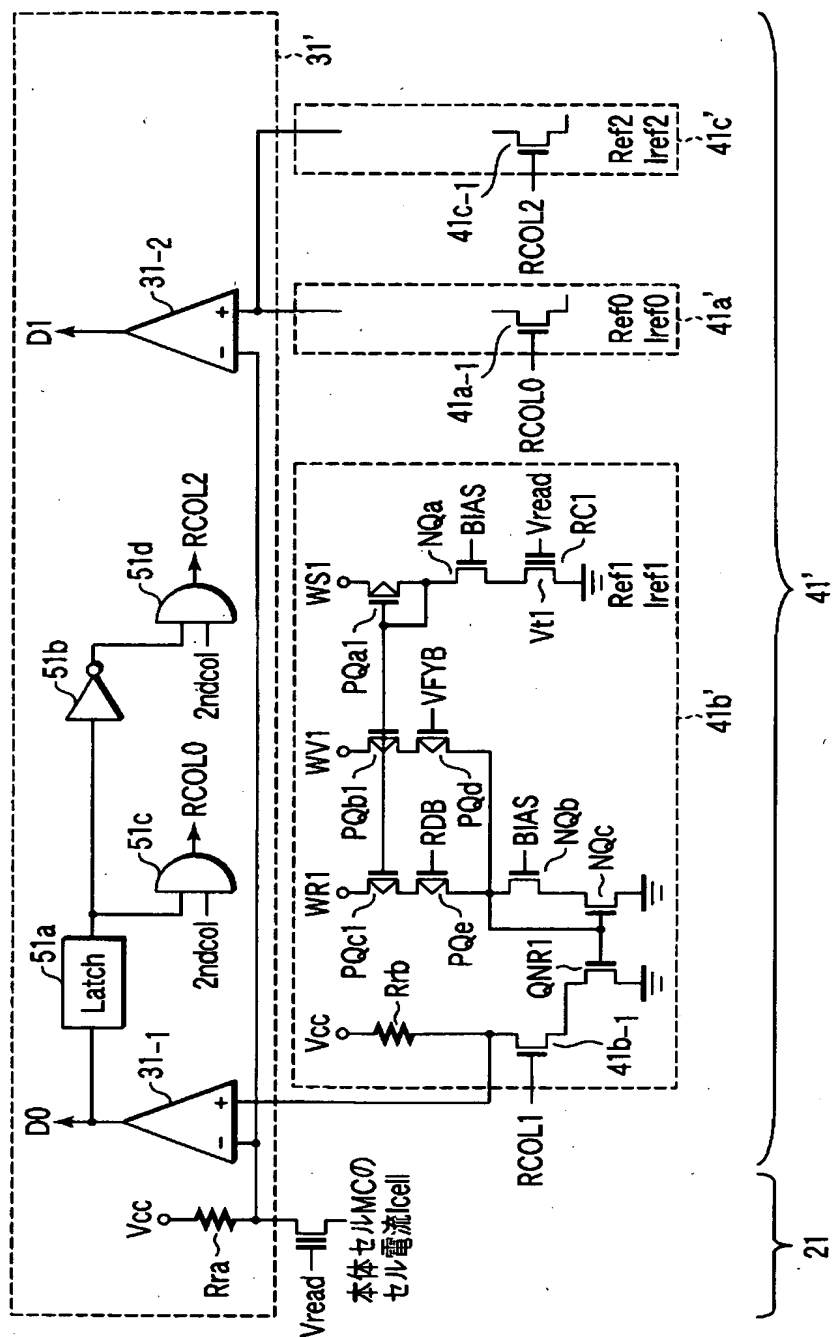


【図 10】

	mode					
	Read	EV	OEV	PV1	PV2	PV3
Iref	0r, 1r, 2r	0v	2r (v)	1v	2v	2r (v)
Vg-hontai	Vr	Vr	Vsw1	Vr	Vr	Vsw2
Vg-ref	Vr	Vr	Vr	Vr	Vr	Vr

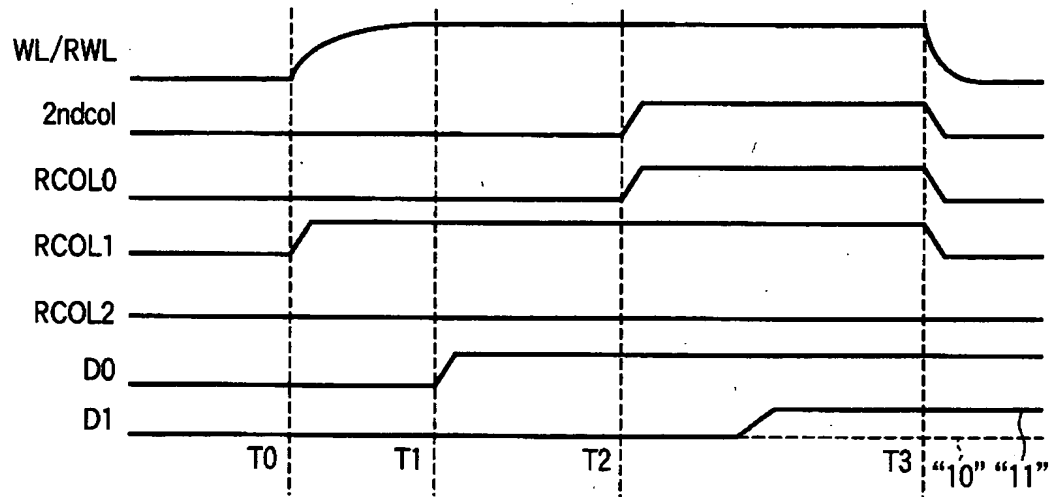
$$Vr=5.5V/Vsw1=2V/Vsw2=6.5V$$

【図 11】

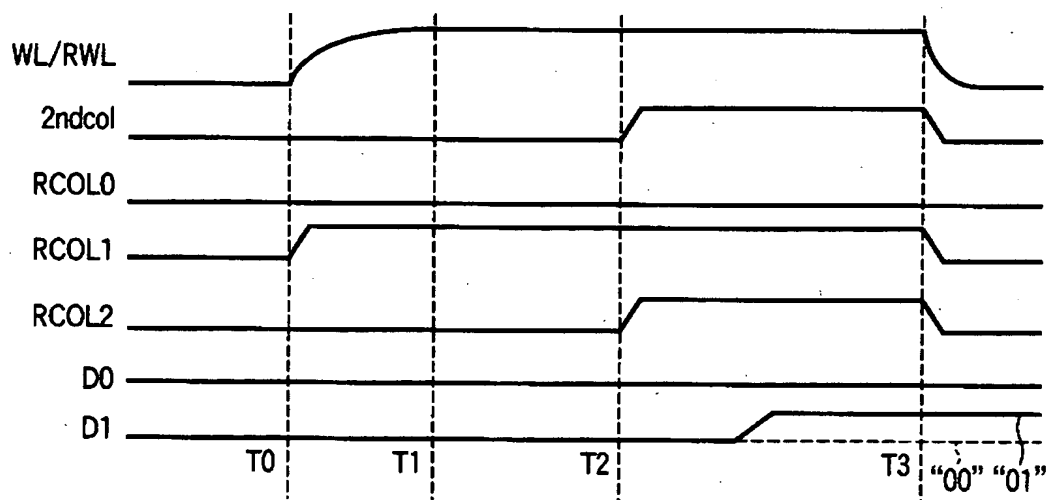


【図 12】

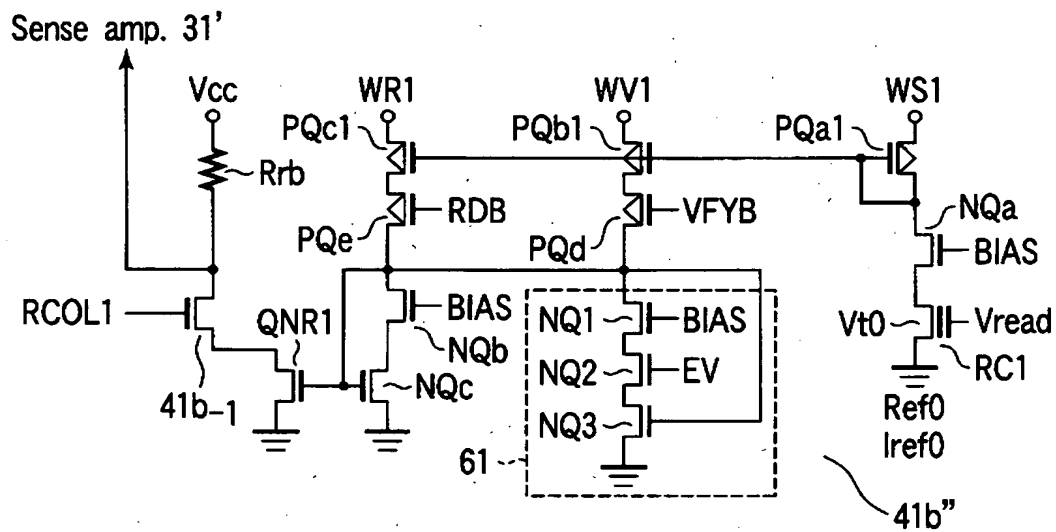
(a)



(b)

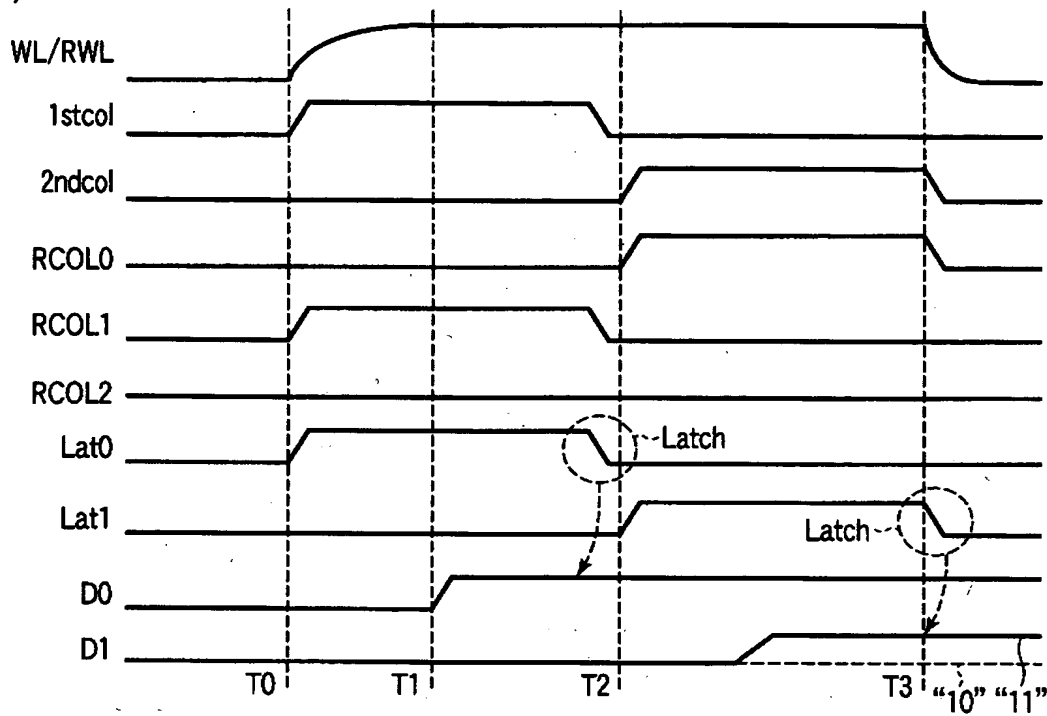


【図 13】

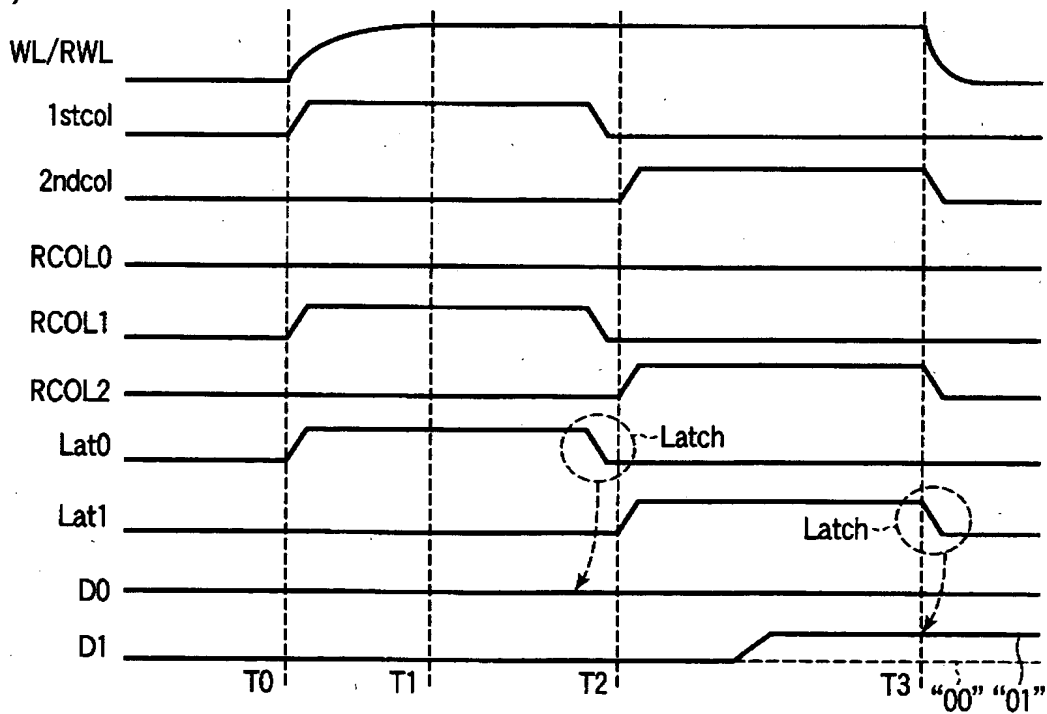


【図 15】

(a)



(b)



【図 16】

